

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Appln. No: To Be Assigned  
Applicant: Koji Takinami et al.  
Filed: July 15, 2003  
Title: OSCILLATOR, PLL CIRCUIT, COMMUNICATION EQUIPMENT, AND OSCILLATING METHOD

TC/A.U.: To Be Assigned  
Confirmation: To Be Assigned  
Examiner: To Be Assigned  
Docket No.: MTS-3449US

**CLAIM TO RIGHT OF PRIORITY**

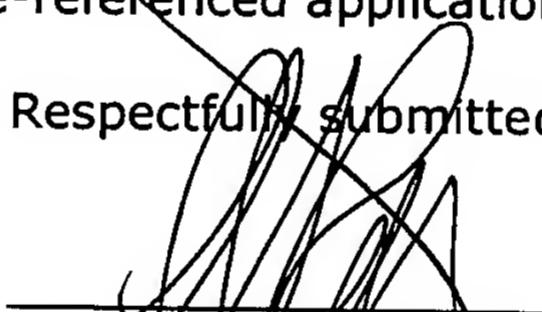
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

S I R :

Pursuant to 35 U.S.C. § 119, Applicants' claim to the benefit of filing of prior Japanese Patent Application No. 2002-207400, filed July 16, 2002, as stated in the inventors' Declaration, is hereby confirmed.

A certified copy of the above-referenced application is enclosed.

Respectfully submitted,

  
Allan Ratner, Reg. No. 19,717  
Attorney for Applicants

AR/fp

Enclosures: (1) Certified Copy

Dated: July 15, 2003

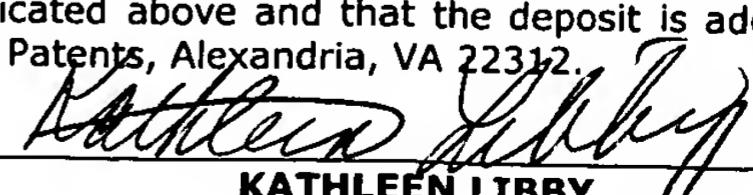
P.O. Box 980  
Valley Forge, PA 19482  
(610) 407-0700

The Commissioner for Patents is hereby authorized to charge payment to Deposit Account No. **18-0350** of any fees associated with this communication.

**EXPRESS MAIL: Mailing Label Number: EV 331 707 640 US**

**Date of Deposit: July 15, 2003**

I hereby certify that this paper and fee are being deposited, under 37 C.F.R. § 1.10 and with sufficient postage, using the "Express Mail Post Office to Addressee" service of the United States Postal Service on the date indicated above and that the deposit is addressed to the Commissioner for Patents, Alexandria, VA 22312.

  
**KATHLEEN LIBBY**

日本特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月16日

出願番号

Application Number:

特願2002-207400

[ST.10/C]:

[JP2002-207400]

出願人

Applicant(s):

松下電器産業株式会社

2003年 2月28日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎

出証番号 出証特2003-3011916



【書類名】 特許願

【整理番号】 2022040163

【提出日】 平成14年 7月16日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/08  
H03B 5/12

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 滝波 浩二

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 足立 寿史

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100092794

【弁理士】

【氏名又は名称】 松田 正道

【電話番号】 06-6397-2840

【手数料の表示】

【予納台帳番号】 009896

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特2002-207400

【包括委任状番号】 9006027

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 発振器、PLL回路、通信機器

【特許請求の範囲】

【請求項1】 共振回路を備えた発振器において、前記共振回路は、  
第1の誘導性インピーダンス素子、前記第1の誘導性インピーダンス素子に直  
列に接続された第2の誘導性インピーダンス素子、および前記第1の誘導性イン  
ピーダンス素子と前記第2の誘導性インピーダンス素子との間に電源を供給する  
ための電源端子を有する第1の直列接続回路と、

第1の容量性インピーダンス素子、前記第1の容量性インピーダンス素子に直  
列に接続され、その特性に方向性を有する第1の可変容量性インピーダンス素子  
、および前記第1の可変容量性インピーダンス素子に直列に接続された第2の容  
量性インピーダンス素子を有する第2の直列接続回路と、

第3の容量性インピーダンス素子、前記第3の容量性インピーダンス素子に直  
列に接続され、その特性に方向性を有する第2の可変容量性インピーダンス素子  
、および前記第2の可変容量性インピーダンス素子に直列に接続された第4の容  
量性インピーダンス素子を有する第3の直列接続回路と、を備え、

前記第1の直列接続回路、前記第2の直列接続回路、および前記第3の直列接  
続回路が並列接続され、前記第2の直列接続回路および前記第3の直列接続回路  
のいずれかの接続側を基準にして、前記第1の可変容量性インピーダンス素子と  
前記第2の可変容量性インピーダンス素子の方向性が互いに逆になるように接続  
され、

前記第1の可変容量性インピーダンス素子、前記第2の可変容量性インピーダ  
ンス素子の可変容量は、外部からの制御により変化される発振器。

【請求項2】 前記第1の可変容量性インピーダンス素子および前記第2の可  
変容量性インピーダンス素子の方向性を有する特性は、対接地浮遊静電容量であ  
り、前記第1および第2の可変容量性インピーダンス素子の端子のうち、対接地  
浮遊静電容量が大きい方の端子を第1端子とし、対接地浮遊静電容量が小さい方  
の端子を第2端子とし、前記第1および第2の可変容量性インピーダンス素子の  
第1端子に第1の制御電位が印加され、前記第1および第2の可変容量性インピ

ーダンス素子の第2端子に第2の制御電位が印加され、前記第1の制御電位および前記第2の制御電位が調整されることにより発振周波数が決定される、請求項1に記載の発振器。

【請求項3】 共振回路を備えた発振器において、前記共振回路は、

第1の誘導性インピーダンス素子、前記第1の誘導性インピーダンス素子に直列に接続された第2の誘導性インピーダンス素子、および前記第1の誘導性インピーダンス素子と前記第2の誘導性インピーダンス素子との間に電源を供給するための電源端子を有する第1の直列接続回路と、

第1の容量性インピーダンス素子、前記第1の容量性インピーダンス素子に直列に接続され、その所定の特性に方向性を有する第1の可変容量性インピーダンス素子、前記第1の可変容量性インピーダンス素子に、その方向が前記第1の可変容量性インピーダンス素子の方向と対向する方向で直列に接続される第2の可変容量性インピーダンス素子、および前記第2の可変容量性インピーダンス素子に直列に接続される第2の容量性インピーダンス素子を有する第2の直列接続回路と、

第3の容量性インピーダンス素子、前記第3の容量性インピーダンス素子に直列に接続され、その所定の特性に方向性を有する第3の可変容量性インピーダンス素子、前記第3の可変容量性インピーダンス素子に、その方向が前記第3の可変容量性インピーダンス素子の方向と対向する方向で直列に接続される第4の可変容量性インピーダンス素子、および前記第4の可変容量性インピーダンス素子に直列に接続される第4の容量性インピーダンス素子を有する第3の直列接続回路と、

前記第1の直列接続回路、前記第2の直列接続回路、および前記第3の直列接続回路が並列に接続され、前記第2の直列接続回路および前記第3の直列接続回路のいずれかの接続側を基準にして、前記第2の可変容量性インピーダンス素子と前記第4の可変容量性インピーダンス素子の方向性が互いに逆になるように接続され、

前記第1、第2、第3および第4の可変容量性インピーダンス素子の端子のうち、前記所定の特性の値が大きい方の端子を第1端子とし、前記所定の特性の値

が小さい方の端子を第2端子とし、前記第1、第2、第3、および第4の可変容量性インピーダンス素子の第1端子に第1の制御電位が印加され、前記第1、第2、第3、および第4の可変容量性インピーダンス素子の第2端子に第2の制御電位が印加され、前記第1の制御電位および前記第2の制御電位が調整されることにより発振周波数が決定される発振器。

【請求項4】 前記所定の特性の値は、対接地浮遊静電容量である、請求項3に記載の発振器。

【請求項5】 前記可変容量性インピーダンス素子は、CMOSプロセスによって形成されるMOSトランジスタのゲート容量を利用した、請求項1～4のいずれかに記載の発振器。

【請求項6】 請求項2～5のいずれかに記載の発振器と、  
基準信号、および前記発振器から出力される発振信号が入力され、前記基準信号および前記発振信号の位相のずれに応じて2つの出力電圧が出力されるチャージポンプと、

前記チャージポンプから出力される2つの出力電圧を低域濾過するループフィルタと、を備え、

前記ループフィルタの2つの出力側が、前記発振器に前記第1の制御電位および前記第2の制御電位を印加するように接続される、PLL回路。

【請求項7】 請求項2～5のいずれかに記載の発振器と、  
基準信号、および前記発振器から出力される発振信号が入力され、前記基準信号と前記発振信号の排他的論理和(XOR)、および前記排他的論理和を反転した信号(XNOR)、を2つの出力電圧として出力する位相比較器と、

前記2つの出力電圧を低域濾過するループフィルタと、を備え、

前記ループフィルタの2つの出力側が、前記発振器に前記第1の制御電位および前記第2の制御電位を印加するように接続される、PLL回路。

【請求項8】 前記ループフィルタの2つの出力側のそれぞれに第1、第2のスイッチの一端が接続され、前記第1、第2スイッチの他端が所定の電圧を有する直流電源に接続されている、請求項6に記載のPLL回路。

【請求項9】 前記ループフィルタの2つの出力側に、前記第1制御電位と前

記第2制御電位の中心の電位を検出するための中心電位検出手段が接続され、前記中心電位検出手段から出力された中心電位検出信号を前記チャージポンプにフィードバックする、請求項6または8に記載のPLL回路。

【請求項10】 前記ループフィルタは、前記チャージポンプから出力される2つの出力電圧を入力するための第1入力端子および第2入力端子と、前記発振器へ前記第1制御電位および前記第2制御電位を出力するための第1出力端子および第2出力端子とを有し、前記第1入力端子から前記第1出力端子に至るインピーダンスと、前記第2入力端子から前記第2出力端子に至るインピーダンスとが等しく、前記第1入力端子から前記第2出力端子に至るインピーダンスと、前記第2入力端子から前記第1出力端子に至るインピーダンスとが等しく、かつ前記ループフィルタ全体の浮遊容量がバランスするように構成されている、請求項6～9のいずれかに記載のPLL回路。

【請求項11】 送信回路、受信回路、およびアンテナを備え、前記送信回路または受信回路は、請求項1～5のいずれかに記載の発振器、または請求項6～10のいずれかに記載のPLL回路を有する通信機器。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、発振器、PLL回路、通信機器に関する。

##### 【0002】

##### 【従来の技術】

電圧制御発振器は、無線通信機の局部発振信号を発生させる手段として広く使用されている。従来の電圧制御発振器の構成例を図9に示す。同図における電圧制御発振器は、コイル101、102、コンデンサ103、106、可変容量コンデンサ（バラクタ）105、発振トランジスタ107、108、電流源116、電源端子110、電圧制御端子111、から構成されている。なお、同図ではバイアス回路等は省略している。

##### 【0003】

以下、図9を参照しながら、従来の電圧制御発振器の動作について説明する。

コイル101、102、コンデンサ103、およびバラクタ105により並列共振回路が形成されている。ここで電圧制御端子111に印加された制御電位と電源電位との差電圧によりバラクタ105の静電容量が決定され、それによりこの共振回路の共振周波数が決定される。発振トランジスタ107、108は、負性抵抗を発生して共振回路の寄生抵抗成分による損失をキャンセルする作用をする。このようにして図9に記載の電圧制御発振器において、制御電圧（制御信号）により発振周波数を変化させることができる。

#### 【0004】

しかし、このような電圧制御発振器では、（1）電圧制御ライン（すなわち電圧制御端子111に至るライン）にノイズが重畠されると、バラクタ105の両端の電圧が変化することにより発振周波数が変化してしまう、という問題があった。また、（2）電源ライン（すなわち電源端子110に至るライン）にノイズが重畠されると、やはりバラクタの両端の電圧が変化することにより発振周波数が変化してしまう、という問題があった。また、バラクタ105は、その構造上、その両端子間において、対接地浮遊静電容量に差があり、（3）このような対接地浮遊静電容量の差により、共振回路に悪影響を及ぼす、という問題もあった。

#### 【0005】

そこで、上記の課題（1）、（2）を解決するために、図10のようにバラクタ105とコイル101の間に電源電圧を阻止するためのコンデンサ104を挿入し、バラクタ105の両端に電圧制御端子112、113から制御信号を入力する構成が取られてきた。このような構成にすることにより、制御信号にノイズが重畠されてもバラクタ105の両端においては、電圧制御端子112、113からの信号の差電圧が印加されるのでノイズ成分はキャンセルされる。また、バラクタ105の両端には電源電圧は印加されず、また電源ラインにコンデンサ104、103を通過するノイズが重畠されてもバラクタ105の両端においては同電位のノイズ成分を有する電位が印加されるため、電源ラインのノイズの影響を避けることができた。

#### 【0006】

また、上記の課題（3）を解決するために、図11に示すように、図9に示すコンデンサ103の代わりに、バラクタ105とは逆向きで同一特性を有するバラクタ110が接続された構成の電圧制御発振器が使用されることもあった。このような構成の電圧制御発振器によると、バラクタ105およびバラクタ110により、それらの対接地浮遊静電容量が、回路全体として均衡しているため、共振回路に悪影響を及ぼすことはなかった。

#### 【0007】

しかし、図11に記載の回路では、上記（1）（2）の課題を解決することができないので、この点を考慮して、図12に示す回路が使用されることもあった。図12に示す回路は、図11に示す回路のバラクタ105、110の直列回路に加えて、バラクタ105、110とは逆向きに直列に接続したバラクタ114、115からなる直列回路を並列に接続し、バラクタ105とバラクタ110の間に電圧制御端子113が接続され、バラクタ112とバラクタ115の間に電圧制御端子112が接続されている。このような回路によると、回路全体として対接地浮遊静電容量の均衡を取りながら、上記（1）（2）の課題を解決することができた。

#### 【0008】

##### 【発明が解決しようとする課題】

しかしながら、上記図10で説明した回路では、（1）（2）の課題を解決することができても、（3）の課題を解決することができなかった。

#### 【0009】

また、図12に記載の回路では、各バラクタの電圧-静電容量の特性が線形である場合は、問題ないが、非線形となる場合は、図12の回路では、上記（1）（2）の問題を解決することができない。このことを図13を参照しながら説明する。

#### 【0010】

図13は、図12におけるバラクタ105、110、114、115による構成部分を抽出したものである。まず初期状態として、図13に示すように、電圧制御端子112に2Vの電位が印加され、電圧制御端子113に4Vの電位が印

加され、電源ラインには3Vの電位が印加されているものとする。このとき、各バラクタの両端にかかる電圧は各電圧制御端子の電位と電源電位との差である1Vとなる。このとき、各バラクタにおいて決定される静電容量をCとすると、図13に記載の回路全体の静電容量は、

$$(C \times C) / (C + C) + (C \times C) / (C + C) = C$$

となる。

### 【0011】

次に、電圧制御ラインにノイズが重畠されることを考える。各電圧制御ラインは、同じようにノイズの影響を受けることを想定することができるので、各電圧制御ラインには、同相のノイズ成分が重畠される。すなわち、上記の電圧制御端子112に印加される電位が、0.1Vのノイズ成分の影響を受け、2Vが2.1Vとなり、電圧制御端子113に印加される電位が、同様に0.1Vのノイズ成分の影響を受け、4Vから4.1Vになることを想定する。

### 【0012】

このとき、バラクタ114、およびバラクタ115に印加される電圧は、 $3 - 2.1 = 0.9V$ となり、バラクタ105およびバラクタ110に印加される電圧は、 $4.1 - 3 = 1.1V$ となる。ここで、各バラクタの特性が線形性を有すると仮定すると、バラクタ114、およびバラクタ115の静電容量は、0.9Csとすることができます、バラクタ105、およびバラクタ110の静電容量は、1.1Cとすることができます。上記と同様に図13の回路全体の静電容量を計算すると、

$$(0.9C \times 0.9C) / (0.9C + 0.9C) + (1.1C \times 1.1C) / (1.1C + 1.1C) = C$$

となる。

### 【0013】

しかし、各バラクタの電圧-静電容量特性は、例えば図14に示すように非線形であることが一般的である。このような非線形性を考えると、例えばバラクタ114、およびバラクタ115の静電容量は、3Cとなり、バラクタ105、およびバラクタ110の静電容量は、0.5Cとなる。このとき、図13に示す回

路全体の静電容量は、

$$(0.5C \times 0.5C) / (0.5C + 0.5C) + (3C \times 3C) / (3C + 3C) = 1.75C$$

となり、各バラクタの特性が線形性を有する、とした場合の結果からずれてしまう。このように、各バラクタの非線型性を考慮すると、図12に示す回路では、上記の課題(1)を解決することができなかった。

#### 【0014】

本発明は、上記の課題を鑑み、信号ライン、および電源ラインからのノイズの影響が無く、回路特性の均衡を取ることができる発振器、その発振器を利用したPLL回路、またはその発振器もしくはそのPLL回路を利用した通信機器を提供することを目的とする。

#### 【0015】

また、本発明は、信号ラインからのノイズの影響が無く、回路特性の均衡を取ることができる発振器、その発振器を利用したPLL回路、またはその発振器もしくはそのPLL回路を利用した通信機器を提供することを目的とする。

#### 【0016】

##### 【課題を解決するための手段】

上記課題を解決するための第1の本発明は、共振回路を備えた発振器において、前記共振回路は、第1の誘導性インピーダンス素子、前記第1の誘導性インピーダンス素子に直列に接続された第2の誘導性インピーダンス素子、および前記第1の誘導性インピーダンス素子と前記第2の誘導性インピーダンス素子との間に電源を供給するための電源端子を有する第1の直列接続回路と、第1の容量性インピーダンス素子、前記第1の容量性インピーダンス素子に直列に接続され、その特性に方向性を有する第1の可変容量性インピーダンス素子、および前記第1の可変容量性インピーダンス素子に直列に接続された第2の容量性インピーダンス素子を有する第2の直列接続回路と、第3の容量性インピーダンス素子、前記第3の容量性インピーダンス素子に直列に接続され、その特性に方向性を有する第2の可変容量性インピーダンス素子、および前記第2の可変容量性インピーダンス素子に直列に接続された第4の容量性インピーダンス素子を有する第3の

直列接続回路と、を備え、前記第1の直列接続回路、前記第2の直列接続回路、および前記第3の直列接続回路が並列接続され、前記第2の直列接続回路および前記第3の直列接続回路のいずれかの接続側を基準にして、前記第1の可変容量性インピーダンス素子と前記第2の可変容量性インピーダンス素子の方向性が互いに逆になるように接続され、前記第1の可変容量性インピーダンス素子、前記第2の可変容量性インピーダンス素子の可変容量は、外部からの制御により変化される発振器である。

## 【0017】

第2の本発明は、前記第1の可変容量性インピーダンス素子および前記第2の可変容量性インピーダンス素子の特性は、対接地浮遊静電容量であり、前記第1および第2の可変容量性インピーダンス素子の端子のうち、対接地浮遊静電容量が大きい方の端子を第1端子とし、対接地浮遊静電容量が小さい方の端子を第2端子とし、前記第1および第2の可変容量性インピーダンス素子の第1端子に第1の制御電位が印加され、前記第1および第2の可変容量性インピーダンス素子の第2端子に第2の制御電位が印加され、前記第1の制御電位および前記第2の制御電位が調整されることにより発振周波数が決定される、第1の本発明の発振器である。

## 【0018】

第3の本発明は、共振回路を備えた発振器において、前記共振回路は、第1の誘導性インピーダンス素子、前記第1の誘導性インピーダンス素子に直列に接続された第2の誘導性インピーダンス素子、および前記第1の誘導性インピーダンス素子と前記第2の誘導性インピーダンス素子との間に電源を供給するための電源端子を有する第1の直列接続回路と、第1の容量性インピーダンス素子、前記第1の容量性インピーダンス素子に直列に接続され、その特性に方向性を有する第1の可変容量性インピーダンス素子、前記第1の可変容量性インピーダンス素子に、その方向が前記第1の可変容量性インピーダンス素子の方向と対向する方向で直列に接続される第2の可変容量性インピーダンス素子、および前記第2の可変容量性インピーダンス素子に直列に接続される第2の容量性インピーダンス素子を有する第2の直列接続回路と、第3の容量性インピーダンス素子、前記第

3の容量性インピーダンス素子に直列に接続され、その特性に方向性を有する第3の可変容量性インピーダンス素子、前記第3の可変容量性インピーダンス素子に、その方向が前記第3の可変容量性インピーダンス素子の方向と対向する方向で直列に接続される第4の可変容量性インピーダンス素子、および前記第4の可変容量性インピーダンス素子に直列に接続される第4の容量性インピーダンス素子を有する第3の直列接続回路と、前記第1の直列接続回路、前記第2の直列接続回路、および前記第3の直列接続回路が並列に接続され、前記第2の直列接続回路および前記第3の直列接続回路のいずれかの接続側を基準にして、前記第2の可変容量性インピーダンス素子と前記第4の可変容量性インピーダンス素子の方向性が互いに逆になるように接続され、前記第1、第2、第3および第4の可変容量性インピーダンス素子の端子のうち、所定の特性の値が大きい方の端子を第1端子とし、前記所定の特性の値が小さい方の端子を第2端子とし、前記第1、第2、第3、および第4の可変容量性インピーダンス素子の第1端子に第1の制御電位が印加され、前記第1、第2、第3、および第4の可変容量性インピーダンス素子の第2端子に第2の制御電位が印加され、前記第1の制御電位および前記第2の制御電位が調整されることにより発振周波数が決定される発振器である。

## 【0019】

第4の本発明は、前記所定の特性の値は、対接地浮遊静電容量である、第3の本発明の発振器である。

## 【0020】

第5の本発明は、前記可変容量性インピーダンス素子は、CMOSプロセスによって形成されるMOSトランジスタのゲート容量を利用した、第1～4の本発明のいずれかの発振器である。

## 【0021】

第6の本発明は、第2～5の本発明のいずれかの発振器と、基準信号、および前記発振器から出力される発振信号が入力され、前記基準信号および前記発振信号の位相のずれに応じて2つの出力電圧が出力されるチャージポンプと、前記チャージポンプから出力される2つの出力電圧を低域濾過するループフィルタと、

を備え、前記ループフィルタの2つの出力側が、前記発振器に前記第1の制御電位および前記第2の制御電位を印加するように接続される、PLL回路である。

## 【0022】

第7の本発明は、第2～5の本発明のいずれかの発振器と、基準信号、および前記発振器から出力される発振信号が入力され、前記基準信号と前記発振信号の排他的論理和（XOR）、および前記排他的論理和を反転した信号（XNOR）、を2つの出力電圧として出力する位相比較器と、前記2つの出力電圧を低域濾過するループフィルタと、を備え、前記ループフィルタの2つの出力側が、前記発振器に前記第1の制御電位および前記第2の制御電位を印加するように接続される、PLL回路である。

## 【0023】

第8の本発明は、前記ループフィルタの2つの出力側のそれぞれに第1、第2のスイッチの一端が接続され、前記第1、第2スイッチの他端が所定の電圧を有する直流電源に接続されている、第6の本発明のPLL回路である。

## 【0024】

第9の本発明は、前記ループフィルタの2つの出力側に、前記第1制御電位と前記第2制御電位の中心の電位を検出するための中心電位検出手段が接続され、前記中心電位検出手段から出力された中心電位検出信号を前記チャージポンプにフィードバックする、第6または8の本発明のPLL回路である。

## 【0025】

第10の本発明は、前記ループフィルタが、前記チャージポンプから出力される2つの出力電圧を入力するための第1入力端子および第2入力端子と、前記発振器へ前記第1制御電位および前記第2制御電位を出力するための第1出力端子および第2出力端子とを有し、前記第1入力端子から前記第1出力端子に至るインピーダンスと、前記第2入力端子から前記第2出力端子に至るインピーダンスとが等しく、前記第1入力端子から前記第2出力端子に至るインピーダンスと、前記第2入力端子から前記第1出力端子に至るインピーダンスとが等しく、かつ前記ループフィルタ全体の浮遊容量がバランスするように構成されている、第6～9の本発明のいずれかのPLL回路である。

## 【0026】

第11の本発明は、送信回路、受信回路、およびアンテナを備え、前記送信回路または受信回路は、第1～5の本発明のいずれかの発振器、または第6～10の本発明のいずれかのPLL回路を有する通信機器である。

## 【0027】

## 【発明の実施の形態】

## (実施の形態1)

図1に、本発明の実施の形態1の発振器の回路を示す。図1に記載の回路は、本発明の第1の誘導性インピーダンス素子の一例であるコイル1と、コイル1に直列に接続された本発明の第2の誘導性インピーダンス素子の一例であるコイル2、コイル1とコイル2の間に接続され、電源を供給するための本発明の電源端子の一例である電源端子17とからなる、本発明の第1の直列接続回路の一例である第1の直列接続回路88と、本発明の第1の容量性インピーダンス素子の一例であるコンデンサ5と、コンデンサ5に、MOSFETのドレインとソースがショートして作製された電極に接続された端子（以下第1端子という。）が接続された本発明の第1の可変容量性インピーダンス素子の一例であるバラクタ4と、バラクタ4のゲート側電極に接続された端子（以下第2端子という。）に接続された本発明の第2の容量性インピーダンス素子の一例であるコンデンサ3とからなる、本発明の第2の直列接続回路の一例である第2の直列接続回路89と、本発明の第3の容量性インピーダンス素子の一例であるコンデンサ12と、コンデンサ12に、その第2端子側が接続された本発明の第2の可変容量性インピーダンス素子の一例であるバラクタ11と、バラクタ11の第1端子側に接続された本発明の第4の容量性インピーダンス素子の一例であるコンデンサ10とからなる、本発明の第3の直列接続回路の一例である第3の直列接続回路90とを有し、上記第1の直列接続回路88、第2の直列接続回路89、第3の直列接続回路90は、コイル1、コンデンサ5、およびコンデンサ12が接続され、コイル2、コンデンサ3、コンデンサ10が接続されるように、並列に接続されて共振回路を形成している。

## 【0028】

バラクタ4、11の第1端子側は、上述のようにCMOSプロセスにより形成されたMOSFET（MOSトランジスタ）のドレインとソース側を短絡することにより作製され、第2端子側は、MOSFETのゲートがそのまま利用される構造を有している。このようにバラクタ4、11の静電容量はゲート容量を利用している。従って、第1端子側は、MOSFETの構造上基板に接続されているため、第2端子側より大きな対接地浮遊静電容量を有する。すなわち、バラクタ4、11は、対接地浮遊静電容量という特性において、その方向性を有している。

## 【0029】

上述のように形成した共振回路において、第2の直列接続回路89と第3の直列接続回路90のいずれかの接続側を基準にして、バラクタ4およびバラクタ11の特性の方向性が逆になるように接続されている。

## 【0030】

上記の共振回路において、バラクタ4の第1端子には抵抗6を介して、およびバラクタ11の第1端子側には抵抗8を介して、第1の制御電位を供給するための電圧制御端子18が接続される。また、バラクタ4の第2端子側には抵抗7を介して、およびバラクタ11の第2端子側には抵抗9を介して、第2の制御電位を供給する電圧制御端子19が接続される。

## 【0031】

上記のように構成された共振回路には、コイル1、コンデンサ5、コンデンサ12の接続点にトランジスタ15のゲート側、およびトランジスタ16のドレン側が接続され、コイル2、コンデンサ3、コンデンサ10の接続点にトランジスタ16のゲート側、およびトランジスタ15のドレン側が接続されている。一方トランジスタ16のソース側、およびトランジスタ15のソース側は、互いに接続され、電流源20の一方の端子に接続されている。そして、電流源20の他方の端子は、接地されている。

## 【0032】

次に上記のように構成された発振器の動作を説明する。

## 【0033】

電源端子17から電源電位が供給されると、コイル1、2を介してトランジスタ16、15にそれぞれ供給される。トランジスタ16、15の出力側が互いに他のトランジスタのゲート側に戻されることにより、共振回路により決定される周波数の発振信号を生じる。

## 【0034】

一方、電圧制御端子18から入力された第1の制御電位( $V_{t1}$ )は、抵抗6を介してバラクタ4の第1端子側、および抵抗8を介してバラクタ11の第1端子側に印加される。そして、電圧制御端子19から入力された第2の制御電位( $V_{t2}$ )は、抵抗7を介してバラクタ4の第2端子側、および抵抗9を介してバラクタ11の第2端子側に印加される。従ってバラクタ4、バラクタ11には、 $V_{t1}$ と $V_{t2}$ の差の電圧が印加される。ここで、バラクタ4は、コンデンサ5、およびコンデンサ3により阻止されているため、電源電位が供給されることはない。同様に、バラクタ11は、コンデンサ12、10により電源電位が印加されることから阻止されている。このようにして、バラクタ4、およびバラクタ11は、 $V_{t1}$ と $V_{t2}$ の差の電圧によってのみその容量が決定される。

## 【0035】

このようにして決定されたバラクタ4の静電容量を含む第2の直列接続回路89と、同様に上記のようにして決定されたバラクタ11の静電容量を含む第3の直列接続回路90と、第1の直列接続回路88と、から構成される並列共振回路により、共振周波数が決定される。

## 【0036】

このとき、 $V_{t1}$ および $V_{t2}$ がノイズの影響を受けているとする。上記の発振器を有するPLL回路が移動体通信端末等の無線部分を構成し、大電流動作する回路とこのPLL回路が同一基板上に実装されるとすると、電力増幅器の立ち上がり時におけるグランドもしくは電源電位に対する電圧変動、アンテナから放射された電磁波により受ける電磁界干渉の影響を起因とするノイズの影響を受ける。このようなノイズは、 $V_{t1}$ 、 $V_{t2}$ に対して同相で影響を及ぼしている。バラクタ4、バラクタ11の両端には上記の説明のように $V_{t1}$ および $V_{t2}$ の差動電圧が印加されることになるので、上記のノイズは、キャンセルされ影響を受けないこと

となる。

## 【0037】

一方、電源電位にノイズが影響を受け、ノイズ成分がコンデンサ5、3を通過したとしても、バラクタ4の両端には同様にノイズの影響を受けた電位が印加されるので、これらのノイズ成分はキャンセルされ、バラクタ4は、電源電位のノイズの影響を受けないこととなる。また、同様にバラクタ11についても電源電位のノイズの影響を受けない。

## 【0038】

また、第2の直列接続回路89と第3の直列接続回路90とは、バラクタ4とバラクタ11の方向性が逆に接続されているので、共振回路全体としては対接地浮遊静電容量の均衡が取れている状態となり、共振周波数、および回路のバランス動作に影響を与えることはない。

## 【0039】

このように、本実施の形態の発振器によると、電圧制御ラインおよび電源ラインからのノイズの影響を排除でき、対接地浮遊静電容量の不均衡による共振回路への悪影響を排除することができる。

## 【0040】

(実施の形態2)

図2に本発明の実施の形態2の発振器の構成を表す回路を示す。

## 【0041】

本実施の形態の回路の構成において、実施の形態1の発振器と同一の構成要素については、同一の参照符号を付して表し、その説明を省略する。本実施の形態が実施の形態1と異なる点は、第2の直列接続回路91が、コンデンサ5、コンデンサ5にその第1端子側が接続された本発明の第1の可変容量性インピーダンス素子の一例であるバラクタ21、バラクタ21の第2端子側にその第2端子側が接続された本発明の第2の可変容量性インピーダンス素子の一例であるバラクタ22、バラクタ22の第1端子側に接続されたコンデンサ3、から構成され、第3の直列接続回路92が、コンデンサ12、コンデンサ12にその第2端子側が接続された本発明の第3の可変容量性インピーダンス素子の一例であるバラク

タ23、バラクタ23の第1端子側にその第1端子側が接続された本発明の第4の可変容量性インピーダンス素子の一例であるバラクタ24、バラクタ24の第2端子側に接続されたコンデンサ10、から構成されている点である。

#### 【0042】

また、電圧制御端子18は、抵抗27を介して第2直列接続回路のバラクタ21の第1端子側、抵抗28を介してバラクタ22の第1端子側、および抵抗26を介して第3直列接続回路のバラクタ23およびバラクタ24の第1端子側に接続されている。そして、電圧制御端子19は、抵抗29を介して第3直列接続回路のバラクタ23の第2端子側、抵抗30を介してバラクタ24の第2端子側、および抵抗25を介して第2直列接続回路のバラクタ21およびバラクタ22の第2端子側に接続されている。

#### 【0043】

このような構成の発振器によると、各バラクタには、常に $V_{t1}$ と $V_{t2}$ の差の電圧が印加されるので、各バラクタの電圧-静電容量の特性が非線形であっても、 $V_{t1}$ と $V_{t2}$ に重畠されたノイズはキャンセルされ、その影響を受けることがない。

#### 【0044】

また、第2の直列接続回路91において、バラクタ21およびバラクタ22の方向性は互いに逆に接続されており、第3の直列接続回路92においても、バラクタ23およびバラクタ24の方向性が互いに逆に接続され、かつ、第2の直列接続回路91と第3の直列接続回路92との接続側の1つであるコンデンサ3とコンデンサ10の接続側を基準にして、バラクタ22とバラクタ24の方向性が互いに逆になるように接続されているので、共振回路全体としては、対接地浮遊静電容量の均衡が取れている状態となり、共振周波数、および回路のバランス動作に影響を与えることはない。

#### 【0045】

このように本実施の形態の発振器によると、バラクタの電圧-静電容量特性が非線形の場合であっても、電圧制御ラインからのノイズの影響を排除することができ、また、対接地浮遊静電容量の不均衡による共振回路への悪影響を排除する

ことができる。

## 【0046】

## (実施の形態3)

図3は、本発明の実施の形態3として、実施の形態1、2の電圧制御発振器(VCO)50を利用したPLL回路を示す。実施の形態3のPLL回路は、基準信号( $f_r$ )と電圧制御発振器50から得られる発振信号の位相を比較して、 $u_p$ 信号および $d_{own}$ 信号を出力する位相周波数比較器(PFD)51を有し、位相周波数比較器51の $u_p$ 信号の出力側は、スイッチ58およびスイッチ61にそれらの開閉を同時に制御するように連絡され、位相周波数比較器51の $d_{own}$ 信号の出力側は、スイッチ60およびスイッチ59にそれらの開閉を同時に制御するように連絡されている。

## 【0047】

具体的には、これらのスイッチは、位相周波数比較器51から $u_p$ 信号が出力されると、スイッチ58、61がONされ、スイッチ59、60がOFFとされ、また、位相周波数比較器51から $d_{own}$ 信号が出力されると、スイッチ58、61がOFFされ、スイッチ59、60がONとされるように構成される。このような動作は、例えば、スイッチ58、61をn-MOSトランジスタで構成することにより、スイッチ59、60をp-MOSトランジスタで構成することにより実現することができる。

## 【0048】

スイッチ58の一端は、定電流回路52を介して充電側電源電位に接続され、スイッチ58の他端はスイッチ60の一端に接続され、スイッチ60の他端は定電流回路54を介して接地されている。また、スイッチ59の一端は、定電流回路53を介して充電側電源電位に接続され、スイッチ59の他端は、スイッチ61の一端に接続され、スイッチ61の他端は、定電流回路55を介して接地されている。このように、位相周波数比較器51、スイッチ58、59、60、61、定電流回路52、53、54、55は、チャージポンプ87を構成する。

## 【0049】

スイッチ58の他端とスイッチ60の一端を接続するライン(以下第1接続ラ

インという)、およびスイッチ59の他端とスイッチ61の一端を接続するライン(以下第2接続ラインという)は、ループフィルタ56の入力側に接続されている。そして、ループフィルタ56からの出力は、電圧制御ラインとして電圧制御発振器50の電圧制御端子18、19に接続される。また、電圧制御発振器50で発生した発振信号の一部を位相周波数比較器の入力側に戻すために、電圧制御発振器50はフィードバックライン57を介して位相周波数比較器51の入力側に接続されている。

#### 【0050】

上記のような構成のPLL回路の動作を次に説明する。電圧制御発振器50から得られた発振信号が位相周波数比較器51の入力側にフィードバックライン57を介して入力され、位相周波数比較器51は、基準信号( $f_r$ )と入力された発振信号の位相を比較し、その結果により位相周波数比較器51の出力側から $u_p$ 信号または $d_{own}$ 信号を出力する。

#### 【0051】

すなわち、発振信号が基準信号よりも遅相している場合は、その遅相の度合いに応じたデューティ幅を有する $u_p$ 信号が出力される。そして、スイッチ58およびスイッチ61は、この $u_p$ 信号により間欠的に所定の間隔で同時にONされる。

#### 【0052】

このような動作により、第1接続ライン側は、電源から充電されることにより電位が上昇し、第2接続ライン側は、接地側へ放電されることにより電位が低下する。このようにして電圧制御発振器50には、第1接続ラインの電位と第2接続ラインの電位が相補的に変化する差動電圧として制御信号がループフィルタ56を介して低域濾過されて入力され、その差動電圧に応じて共振周波数が調整される。

#### 【0053】

一方、発振信号が基準信号よりも進相している場合は、その進相の度合いに応じたデューティ幅を有する $d_{own}$ 信号が出力される。スイッチ53、60は、この $d_{own}$ 信号により間欠的に所定の間隔でONされる。

## 【0054】

このような動作により、上記とは逆に第1接続ライン側は、接地側へ放電されることにより電位が低下し、第2接続ライン側は電源から充電されることにより電位が上昇する。このようにして電圧制御発振器50には、第1接続ラインの電位と第2接続ラインの電位が相補的に変化する差動電圧として制御電圧が入力され、その差動電圧に応じて共振周波数が調整される。

## 【0055】

なお、本実施の形態の上記の説明におけるループフィルタ56の構成としては、例えば図4に示す構成が挙げられる。

## 【0056】

図4に記載のループフィルタ56は、入力端子71、72に対して並列に接続されたコンデンサ73と、コンデンサ73に並列に接続されたコンデンサ95と、コンデンサ95に並列に接続された、コンデンサ74、抵抗75、およびコンデンサ76からなる直列接続回路と、入力端子71および出力端子81の間に直列に挿入された抵抗77および抵抗79と、入力端子72および出力端子82の間に直列に挿入された抵抗78および抵抗80と、抵抗77および抵抗79の接続点ならびに抵抗78および抵抗80の接続点を結ぶように接続されたコンデンサ94と、コンデンサ94に並列に接続されたコンデンサ96と、を有する構成である。

## 【0057】

集積基板に上記のループフィルタ56を形成する場合、各コンデンサにおける2つの電極は、基板に対して異なる浮遊容量を有するので、各コンデンサは、その浮遊容量について方向性があると言える。従って、この場合、コンデンサ73とコンデンサ95の方向性が、両者のいずれかの接続側を基準にして互いに逆になるように接続され、コンデンサ74とコンデンサ76の方向性が、抵抗75を基準にして互いに逆になるように接続され、コンデンサ94とコンデンサ96の方向性が、両者のいずれかの接続側を基準にして互いに逆になるように接続されている。このようにして、ループフィルタ56全体の浮遊容量がバランスするよう各コンデンサが接続されている。

## 【0058】

また、ループフィルタ56は、そのインピーダンスがバランスするように構成されている。すなわち、入力端子71、出力端子81の間のインピーダンスと、入力端子72、出力端子82の間のインピーダンスとが等しく、かつ入力端子71、出力端子82の間のインピーダンスと、入力端子72、出力端子81の間のインピーダンスとが等しくなるように、各コンデンサ、抵抗の値が設定されている。このようにループフィルタ56全体として電気的に対称性を有するものが使用されると、差動信号が入力された場合、出力信号のバランスが崩れることがない。

## 【0059】

なお、本実施の形態においてループフィルタ56の構成として図4に示す構成を説明したが、この例に限らず、上記のように入力端子71-81間、および出力端子72-82間のインピーダンスが等しく、入力端子71-出力端子82間、および入力端子72-出力端子81間のインピーダンスが等しく、かつ、全体の浮遊容量のバランスが取れていればどのような構成であってもよく、その場合も上記と同様の効果を得ることができる。

## 【0060】

また、本実施の形態において、フィードバックライン57および基準信号( $f_r$ )からの入力信号は、単相信号であるとして説明したが、これらの信号は差動信号であってもよい。

## 【0061】

(実施の形態4)

図5に本発明の実施の形態4のPLL回路の構成を示す。実施の形態4のPLL回路の構成と、図3に記載のPLL回路の構成との違いは、ループフィルタ56と電圧制御発振器50との間にリセット回路93を有する点にある。本実施の形態のPLL回路その他の構成要素は、図3に記載のPLL回路と同様であり、同一の構成要素には同一の参照符号を付与し、その説明を省略する。

## 【0062】

すなわち、ループフィルタ56の出力側の第1の制御電位( $V_{t1}$ )ラインにリ

セット信号により動作するスイッチ83の一端が接続され、第2の制御電位( $V_{t2}$ )ラインに同じくリセット信号により動作するスイッチ84の一端が接続され、スイッチ83、スイッチ84の他端は基準バイアス電位を供給する、本発明の直流電源の一例である基準バイアス電源85の一方極に接続され、基準バイアス電源85の他方極は接地されている。このように、リセット信号を発生するリセットスイッチ(図示せず)、スイッチ83、84、基準バイアス電源85によりリセット回路93が構成されている。

#### 【0063】

このような構成によるPLL回路によると、リセット信号を提供することにより、 $V_{t1}$ 、 $V_{t2}$ の電位を基準バイアス電位にリセットすることができる。例えば、発振周波数を変更するとき、一旦 $V_{t1}$ ライン、 $V_{t2}$ ラインを基準バイアス電位にリセットすることにより、安定して電圧制御発振器を動作させることができる。

#### 【0064】

また、このようなリセット回路93がループフィルタ56と電圧制御発振器の間に設けられることにより、リセット信号を出したとき即座に(すなわちループフィルタの過渡応答の影響を受けないで) $V_{t1}$ ライン、 $V_{t2}$ ラインを基準バイアス電位にリセットすることができる。

#### 【0065】

##### (実施の形態5)

図6に本発明の実施の形態5のPLL回路の構成を示す。実施の形態5のPLL回路の構成と、図3に記載のPLL回路の構成との違いは、 $V_{t1}$ ライン、 $V_{t2}$ ラインの電位の中心電位を検出する中心電位検出手段86が設けられていることである。本実施の形態のPLL回路その他の構成要素は、図3に記載のPLL回路と同様であり、同一の構成要素には同一の参照符号を付与し、その説明を省略する。

#### 【0066】

図6に記載のPLL回路の構成は、ループフィルタ56の出力である $V_{t1}$ ラインと $V_{t2}$ ラインに中心電位検出手段86の入力側が接続されている。中心電位検

出手段86の出力は位相周波数比較器51にフィードバックされるように接続される。

## 【0067】

このようなPLL回路において、中心電位検出手段86は、 $V_{t1}$ ラインおよび $V_{t2}$ ラインの電位を検出し、両者の電位の平均電位を算出して中心電位とする。算出された中心電位は位相周波数比較器51に送られる。位相周波数比較器51は、中心電位検出手段86から送られた中心電位と、定電流回路52または定電流回路53に接続される充電側電源電位とを比較する。

## 【0068】

このとき、チャージポンプ87のチャージ、ディスチャージの特性が完全にバランスしていないと、長い時間動作している間に中心電位がずれる。例えば、電圧制御発振器50で生じる発振信号が基準信号よりも遅相している場合は、 $V_{t1}$ と $V_{t2}$ の差動電圧( $\Delta V$ )が大きくなる。このとき、中心電位が上側にずれている場合、遅相の程度が大きくなると $V_{t1}$ は、充電側電源電位に近くなり、さらに遅相の程度が大きくなれば、電源電位と等しくなってしまい、それ以上に遅相の程度が大きくなっても必要な差動電圧を取ることができなくなる。この様子を図8(a)に示す。

## 【0069】

位相周波数比較器51は、中心電位が所定の値(例えば図8(a)に示す $V_0$ )に達すると、スイッチ60およびスイッチ61を所定の時間ONさせる。このようにすることにより、図8(b)に示すように中心電位が低下するので遅相の程度が大きくなっても電圧制御発振器50の発振周波数を安定的に制御することができる。

## 【0070】

なお、上記とは逆に中心電位が接地電位に近い所定の値に達した場合は、位相周波数比較器51は、スイッチ58およびスイッチ59を所定の時間ONさせ、中心電位を上昇させる。

## 【0071】

また、上記では中心電位が電源電位に近い所定の値に達したときに、スイッチ

60とスイッチ61をONさせて中心電位を低下させる、として説明したが、遅相の程度が進んできたときに中心電位が低下すること（図8（a）に示す。）を検出してスイッチ60とスイッチ61をONさせて中心電位を低下させてもよい。また、中心電位が接地電位に近い所定の値に達したときに、スイッチ58とスイッチ59をONさせて中心電位を上昇させる代わりに、中心電位が上昇することを検出してスイッチ60とスイッチ61をONさせて中心電位を上昇させてもよい。

#### 【0072】

なお、上記までの説明において、本発明の第1、第2の誘導性インピーダンス素子はコイルであるとして説明してきたが、コイルに限らず、例えばストリップ線路等でもよく誘導性インピーダンスを有する構成要素であればどのようなものであってもよく、その場合も上記と同様の効果を得ることができる。

#### 【0073】

また、上記までの説明において、電圧制御発振器50の出力側がチャージポンプ87にフィードバックされ、チャージポンプ87により電圧制御発振器50の周波数が制御される、として説明してきたが、XOR型の比較器により電圧制御発振器50の周波数が制御される構成であってもよい。

#### 【0074】

その場合のPLL回路の構成を図7に示す。図7に記載のPLL回路においては、図6に記載のチャージポンプ87に代えて位相比較器99が接続されている。位相比較器99は、入力される基準信号と、電圧制御発振器50の出力側からフィードバックされた信号との排他的論理和（XOR）、および上記排他的論理和を反転した信号（XNOR）、を2つの電圧出力として出力する。このような、位相比較器99を使用したPLL回路によると、2つの入力信号の演算結果から、2つの出力電圧が決定されるので、出力信号の中心電位が安定し、安定した回路動作のPLL回路を得ることができる。

#### 【0075】

また、上記までの説明において、本発明の第1、第2、第3、第4の容量性インピーダンス素子は、コンデンサであるとして説明してきたが、コンデンサに限

らず、ストリップ線路等であってもよく、容量性インピーダンスを有する構成要素であればどのようなものであってもよく、その場合も上記と同様の効果を得ることができる。

## 【0076】

また、上記までの説明において、各バラクタの第1端子側に第1の制御電位( $V_{t1}$ )ラインが接続され、第2端子側に第2の制御電位( $V_{t2}$ )ラインが接続される、として説明してきたが、各バラクタの第1端子側に第2の制御電位ラインが接続され、第2端子側に第2の制御電位ラインが接続される構成であってもよく、その場合も上記と同様の効果を得ることができることができる。

## 【0077】

また、上記までの説明において、各バラクタは、CMOSプロセスにより形成されるMOSFETのドレインとソースを短絡させることにより作製する、として説明してきたが、他の方法で作製されていてもよい。

## 【0078】

また、上記までの説明において、可変容量性インピーダンス素子は、対接地浮遊静電容量という特性に関して方向性を有するとしてきたが、他の特性が方向性を有していてもよく、その場合でも上記のように各可変容量性インピーダンス素子の方向性が回路全体として対称的に配置されていれば、回路全体としてはその特性に関して均衡を取ることができる。

## 【0079】

また、上記までの説明において、本発明の第1、第2、第3、第4の可変容量性インピーダンス素子はバラクタである、として説明してきたが、PINダイオード等電圧によりその静電容量を可変できるものであればどのような素子であってもよく、その場合も上記と同様の効果を得ることができる。

## 【0080】

また、上記までの説明において、本発明の第1、第2、第3、第4の可変容量性インピーダンス素子は、電圧によりその静電容量を可変できる素子である、として説明してきたが、電圧以外の手段によりその静電容量が可変である素子であってもよく、例えばマイクロマシンによりその静電容量が制御される構造であつ

てもよい。

#### 【0081】

その場合は、マイクロマシンが静電容量を形成する電極の間隔を制御する構造であればよく、例えば静電容量を増加させるときは、電極に当接するマイクロマシンが電極を押して電極の間の間隔を減少させ、静電容量を低下させることとは、マイクロマシンが電極を引いて電極の間隔を増加させる構造が考えられる。そしてこの場合、例えば、図3に記載のPLL回路において、発振信号が基準信号に対して遅相のときは、位相周波数比較器51はup信号を出力する代わりに、マイクロマシンに当接し、このマイクロマシンが電極を押すようにこのマイクロマシンに外力を及ぼし、発振信号が基準信号に対して進相の場合は、位相周波数比較器51は、down信号を出力する代わりに、このマイクロマシンが電極を引くようにこのマイクロマシンに外力を及ぼすよう作用する構成等であってよい。その場合も上記と同様の効果を得ることができる。

#### 【0082】

また、以上までの説明における発振器またはPLL回路を有する送信回路または受信回路がアンテナに接続された通信機器も本発明の範囲に含まれる。

#### 【0083】

##### 【発明の効果】

本発明によれば、信号ライン、および電源ラインからのノイズの影響が無く、回路特性の均衡を取ることができる発振器、またはその発振器を利用したPLL回路を提供することができる。

#### 【0084】

また、本発明によれば、信号ラインからのノイズの影響が無く、回路特性の均衡を取ることができる発振器、その発振器を利用したPLL回路、またはその発振器もしくはそのPLL回路を利用した通信機器を提供することができる。

##### 【図面の簡単な説明】

##### 【図1】

図1は、本発明の実施の形態1の電圧制御発振器の構成示す回路図である。

##### 【図2】

図2は、本発明の実施の形態2の電圧制御発振器の構成を示す回路図である。

【図3】

図3は、本発明の実施の形態3のPLL回路の構成示す回路図である。

【図4】

図4は、本発明の実施の形態3のPLL回路のループフィルタの構成の一例を示す回路図である。

【図5】

図5は、本発明の実施の形態4のPLL回路の構成を示す回路図である。

【図6】

図6は、本発明の実施の形態5のPLL回路の構成を示す回路図である。

【図7】

図7は、本発明の実施の形態5のPLL回路の別の構成例を示す回路図である

。

【図8】

図8は、本発明の実施の形態5のPLL回路の動作を説明する図である。

【図9】

図9は、従来の電圧制御発振器の構成を示す回路図である。

【図10】

図10は、従来の電圧制御発振器の構成を示す回路図である。

【図11】

図11は、従来の電圧制御発振器の構成を示す回路図である。

【図12】

図12は、従来の電圧制御発振器の構成を示す回路図である。

【図13】

図13は、従来の電圧制御発振器の一部の構成を示す回路図である。

【図14】

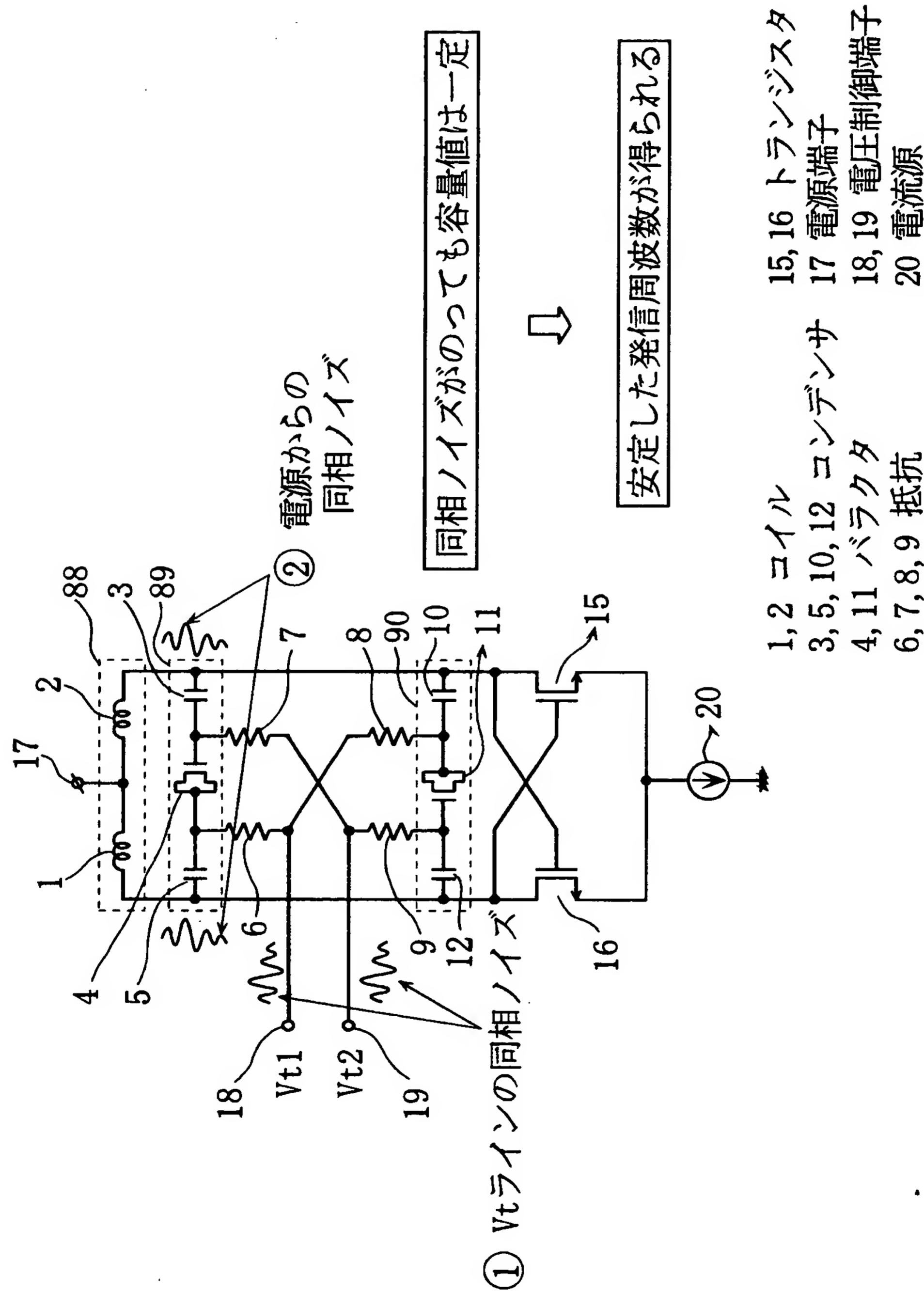
図14は、従来の電圧制御発振器の動作を説明する図である。

【符号の説明】

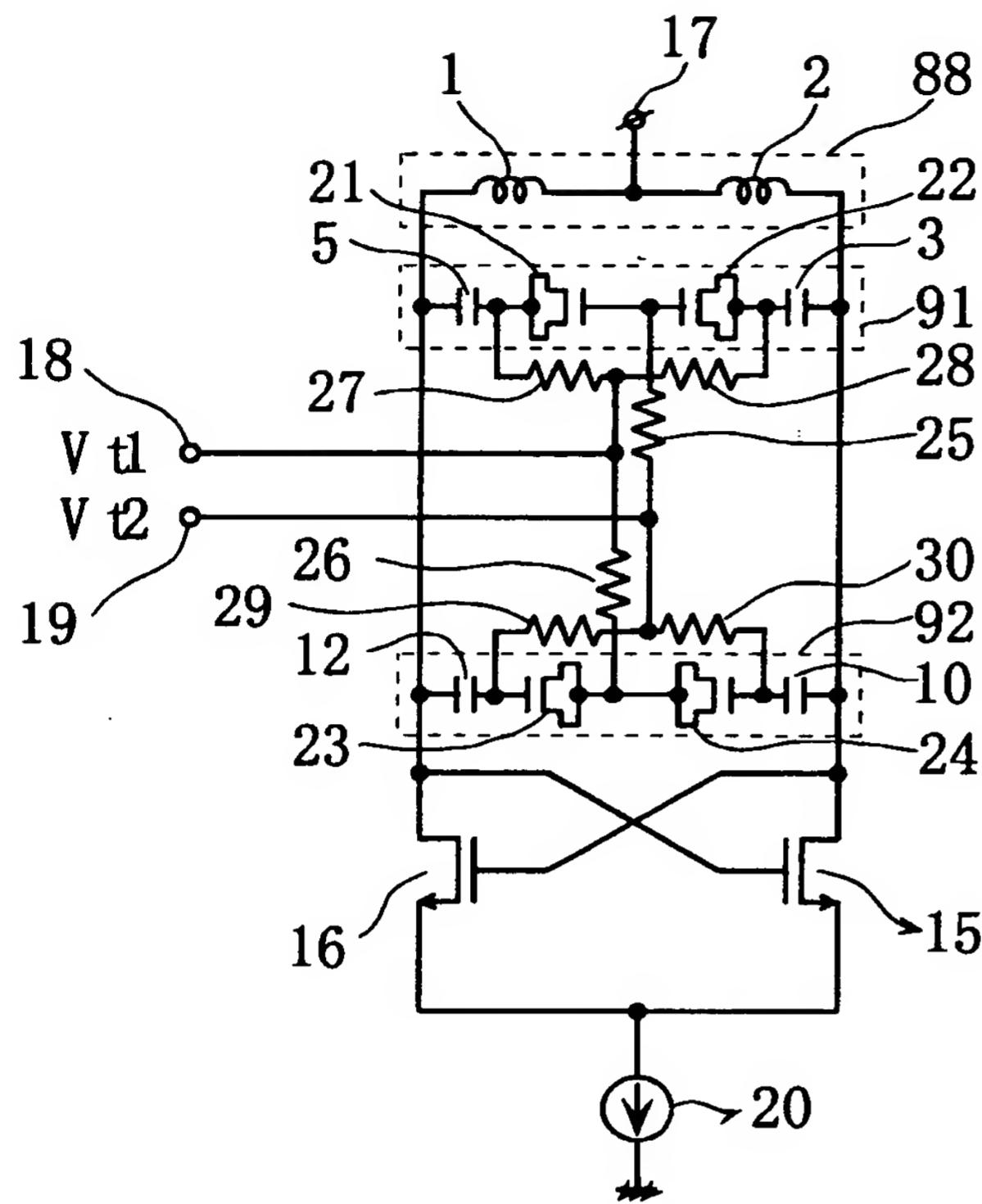
4、11 バラクタ

- 15, 16 トランジスタ
- 18、19 電圧制御端子
- 17 電源端子
- 50 電圧制御発振器
- 51 位相周波数比較器
- 52、53, 54, 55 定電流回路
- 58, 59, 60, 61 スイッチ
- 56 ループフィルタ
- 83, 84 スイッチ
- 85 基準バイアス電源
- 86 中心電位検出手段

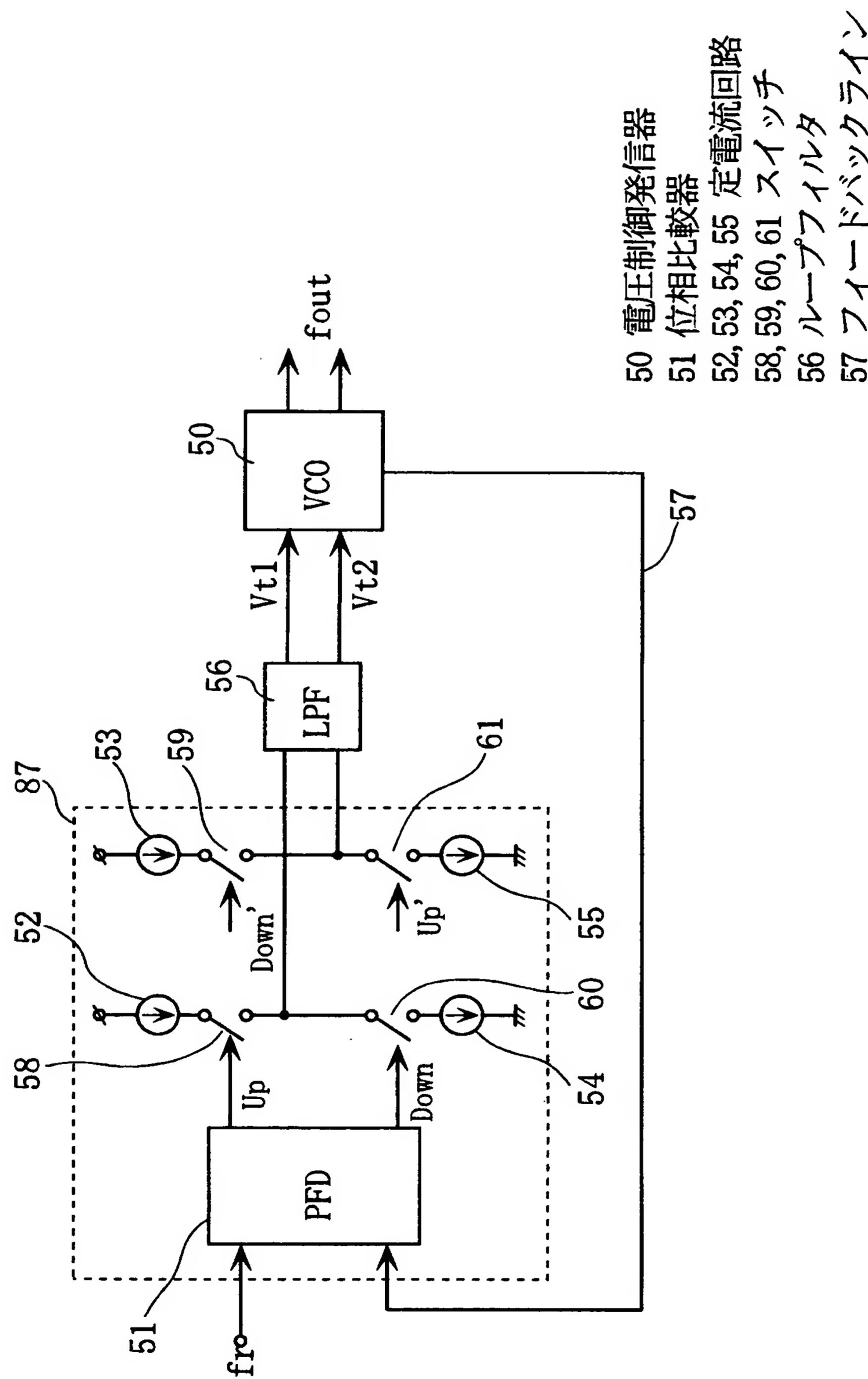
【書類名】 図面  
【図1】



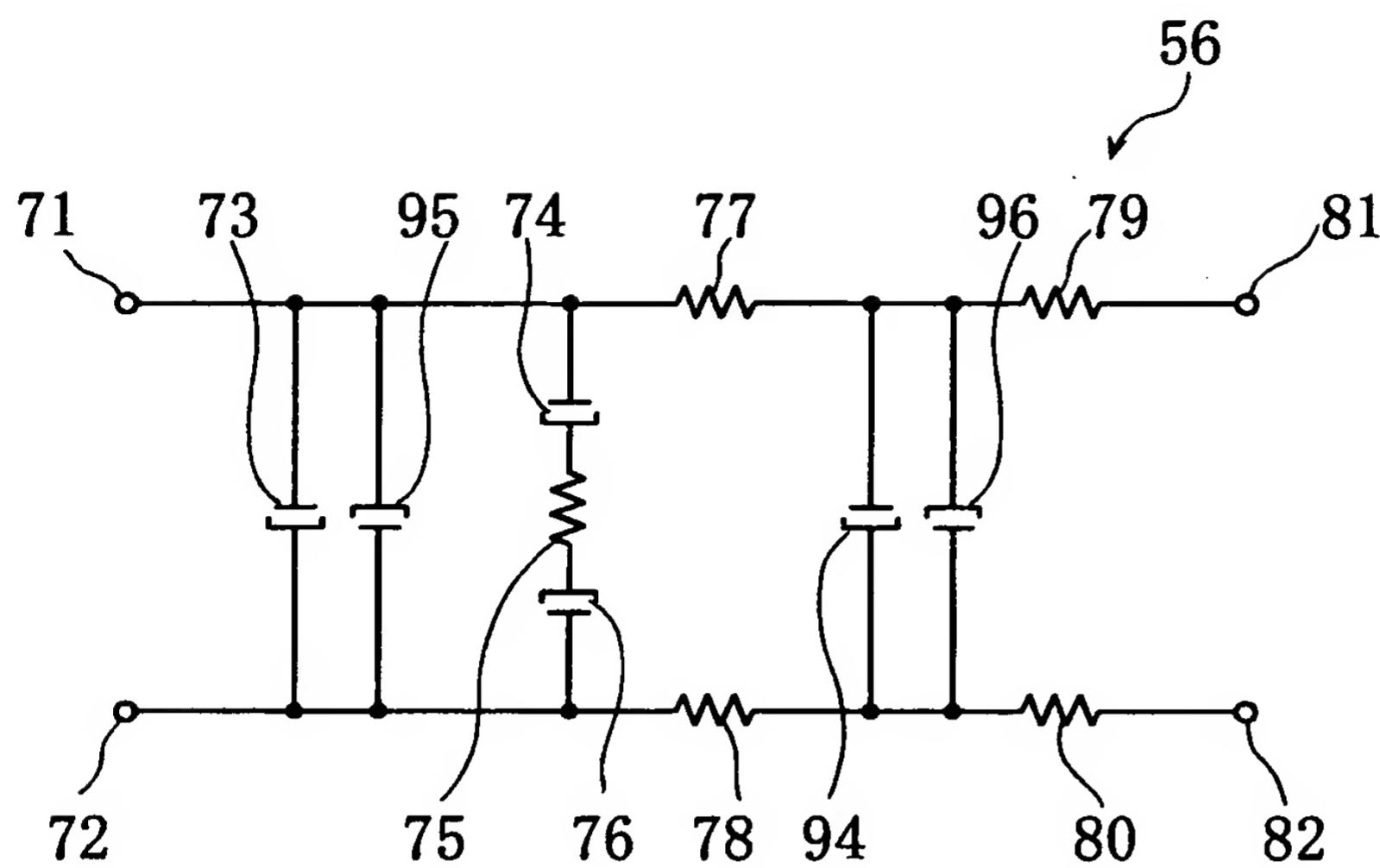
【図2】



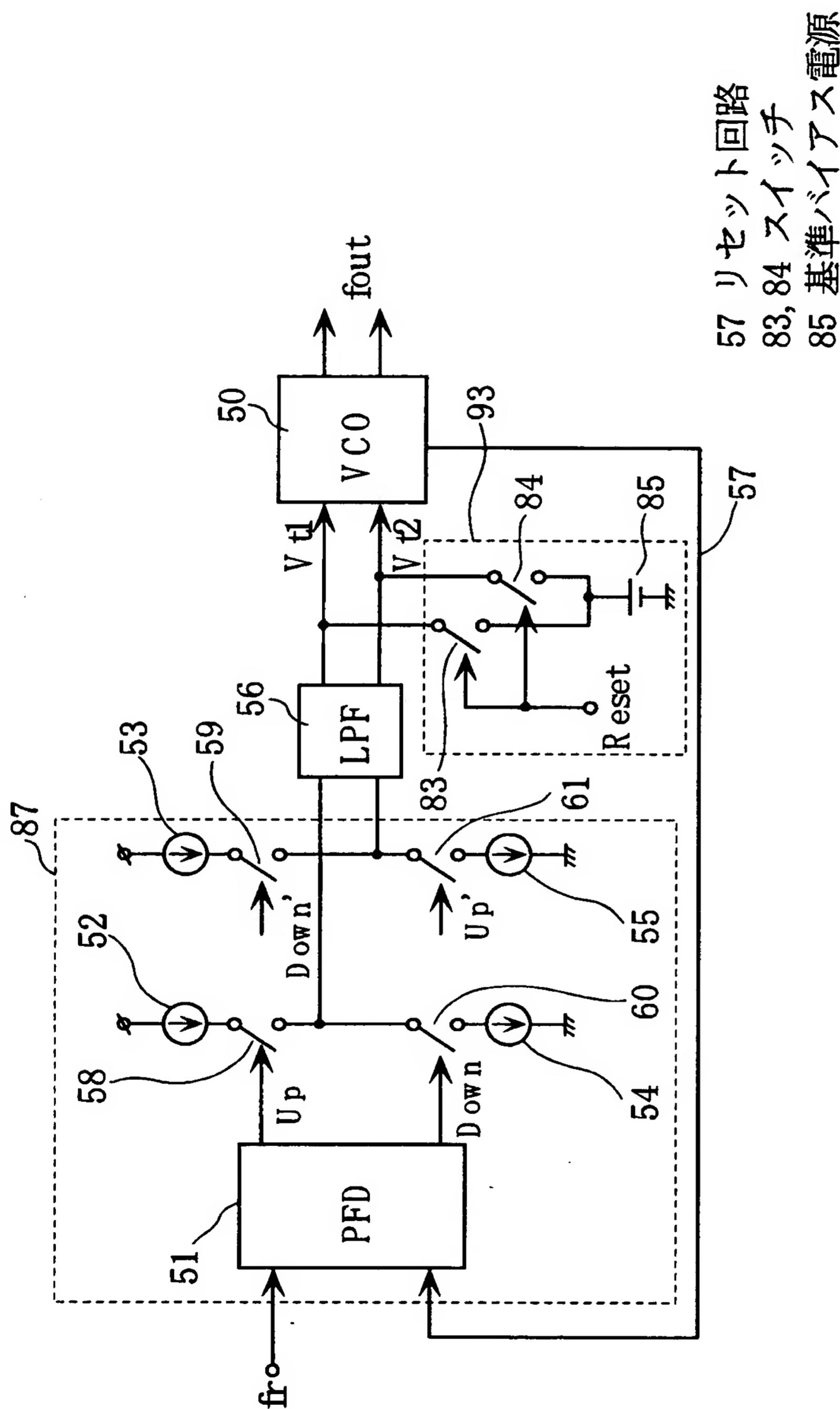
【図3】



【図4】

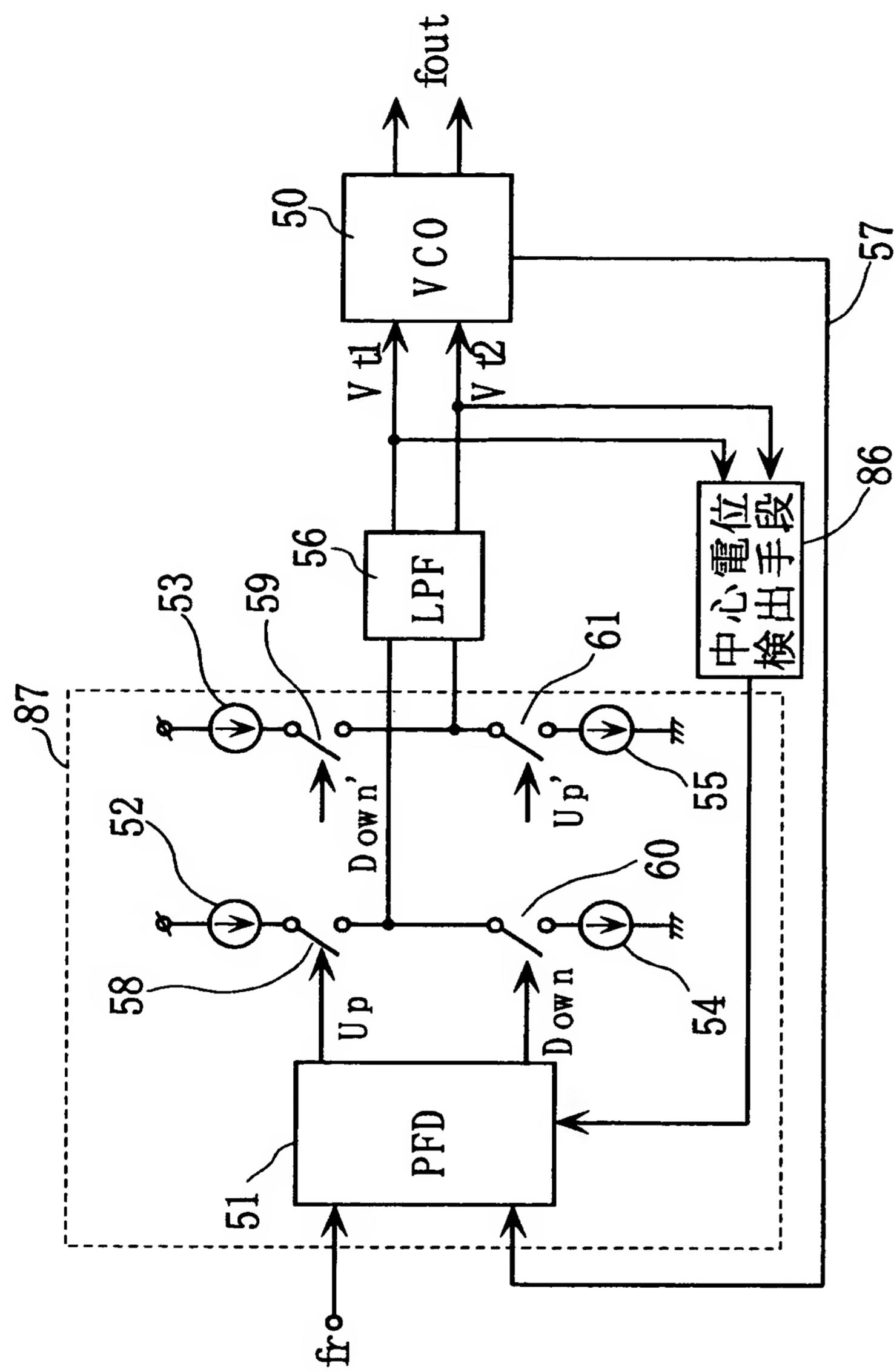


【図5】



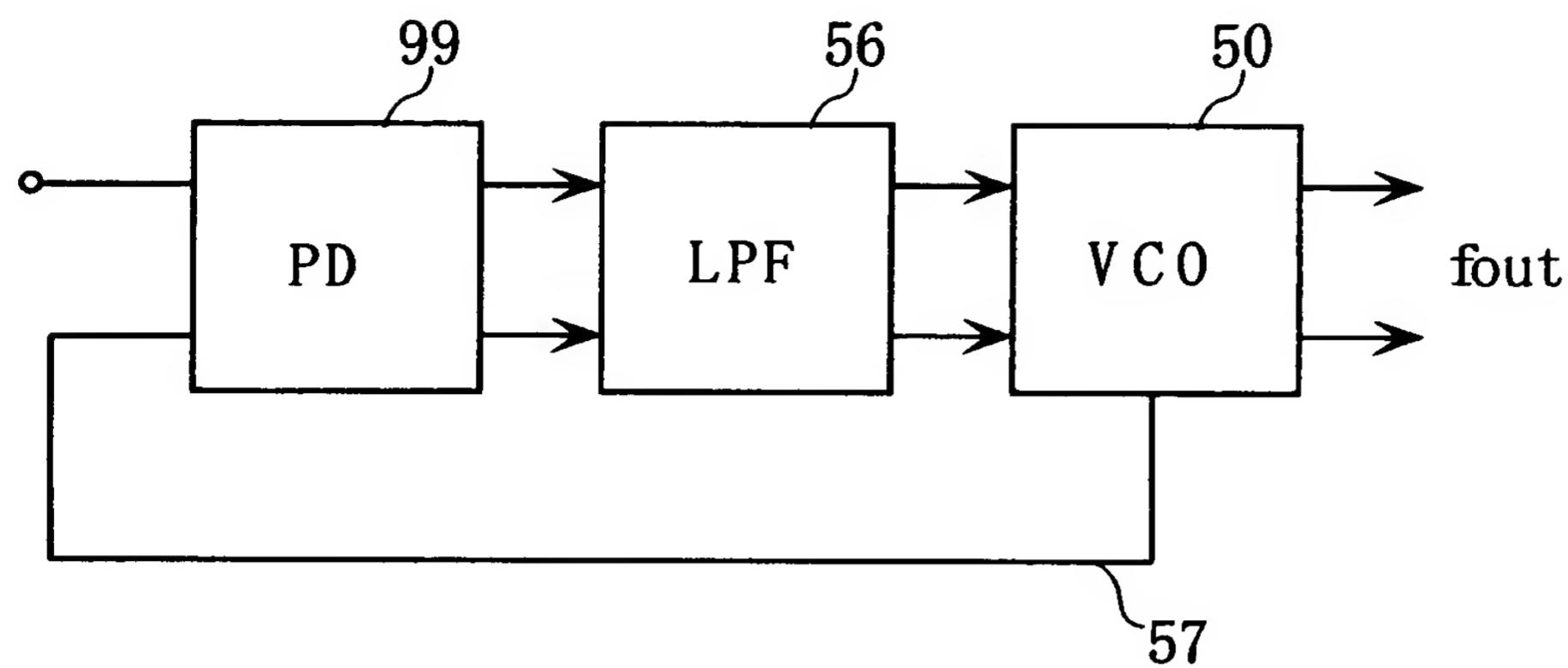
57 リセット回路  
83, 84 スイッチ  
85 基準バイアス電源

## 【図6】



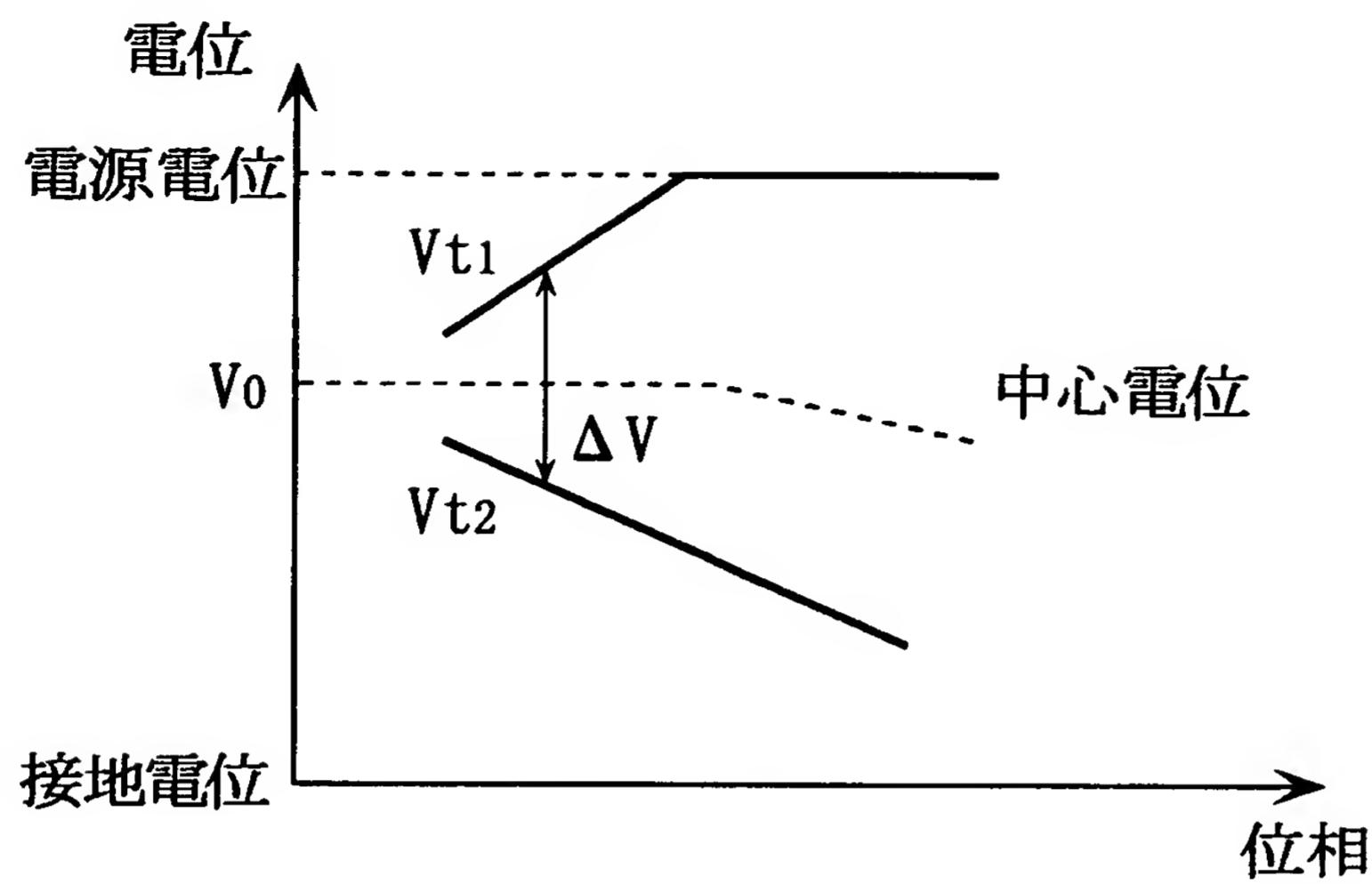
86 中心電位檢出手段

【図7】

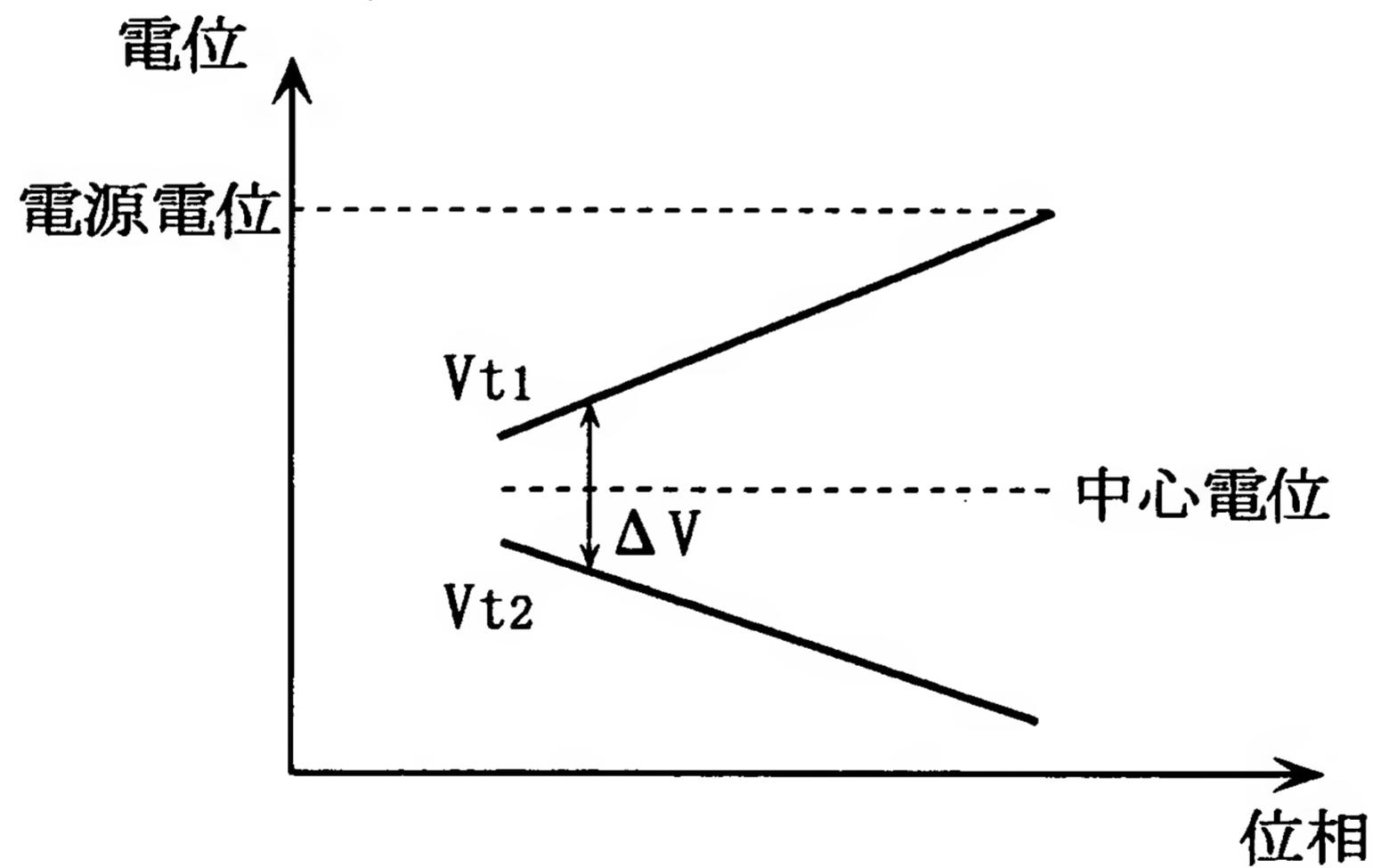


【図8】

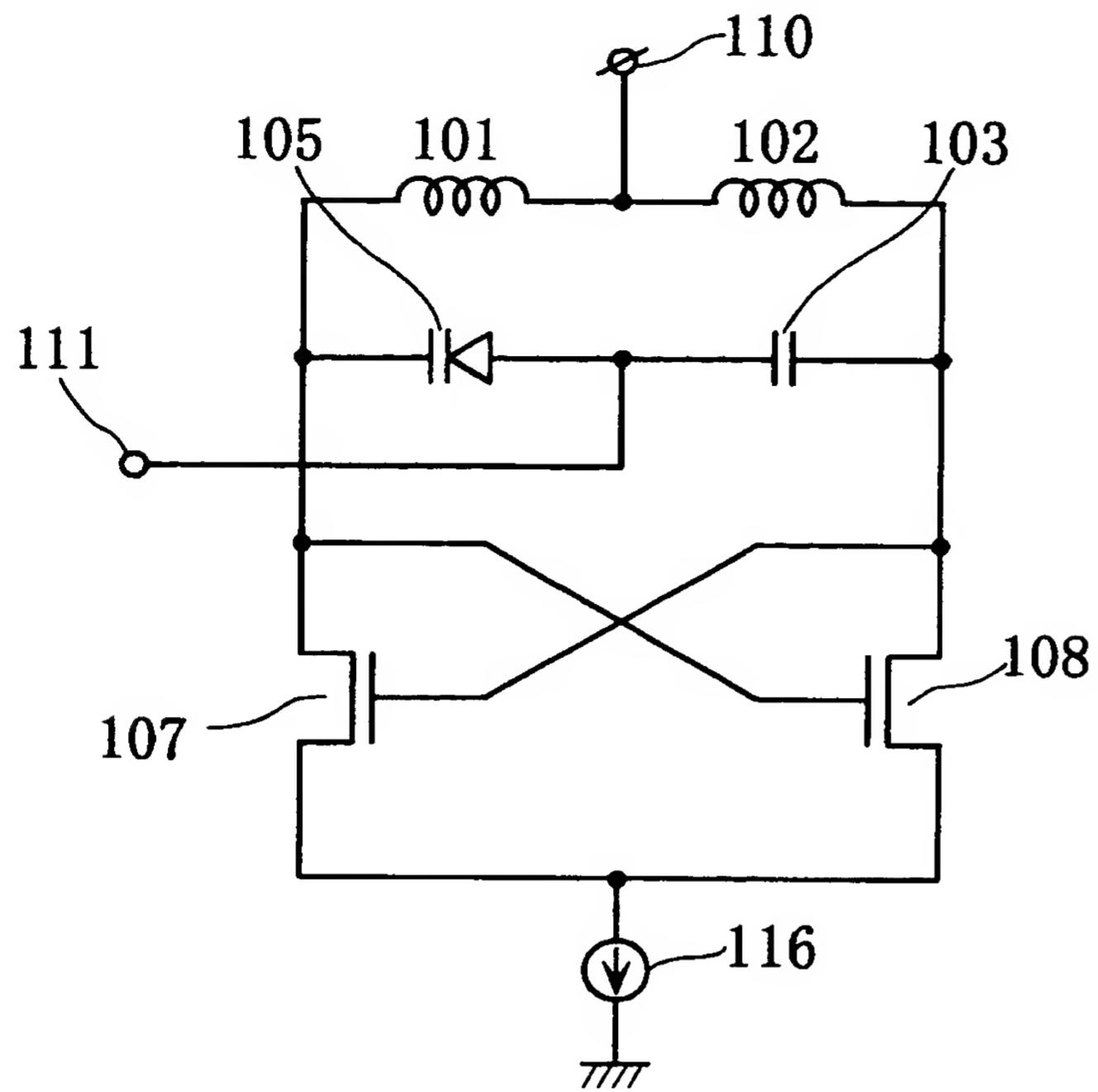
(a)



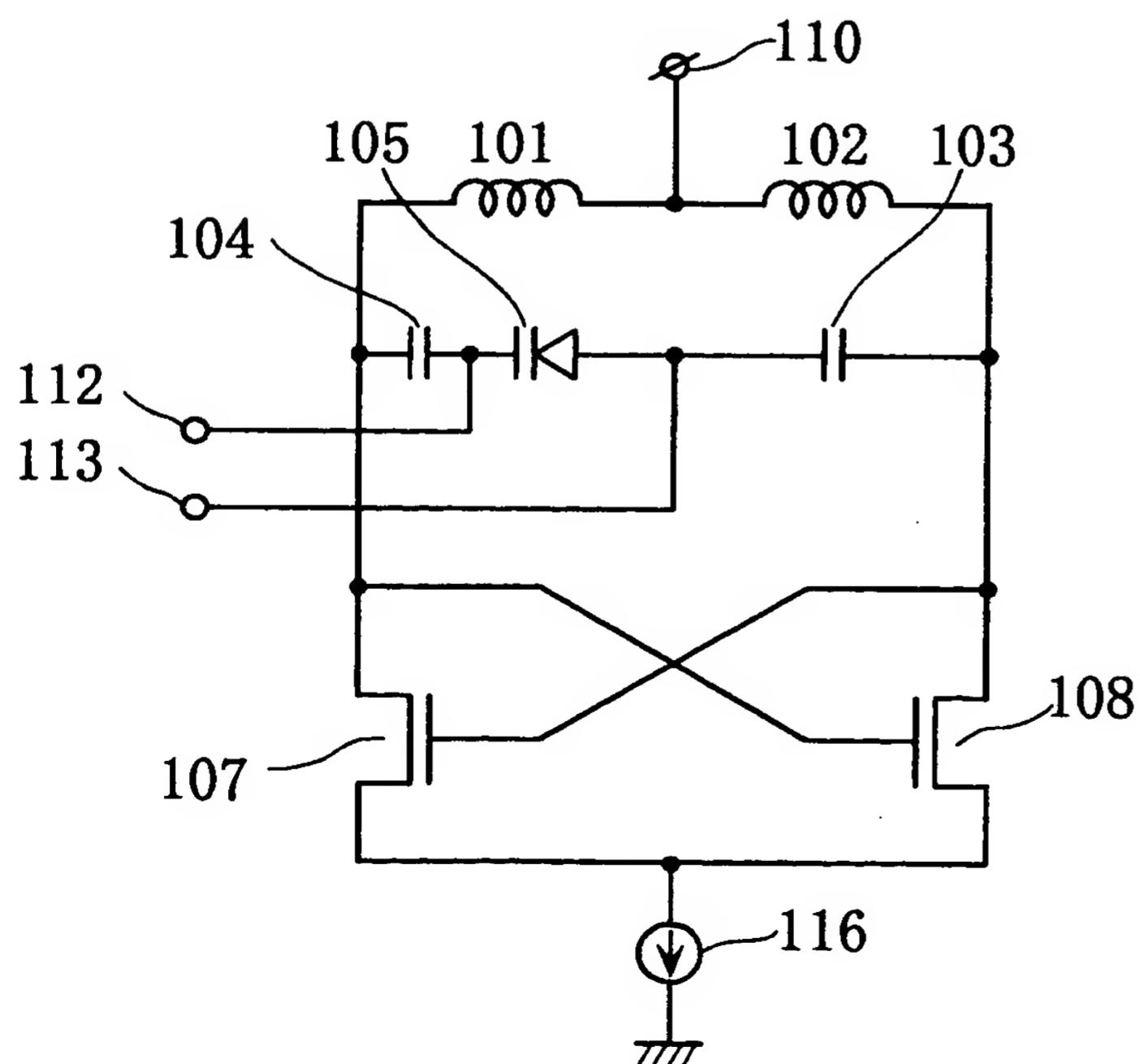
(b)



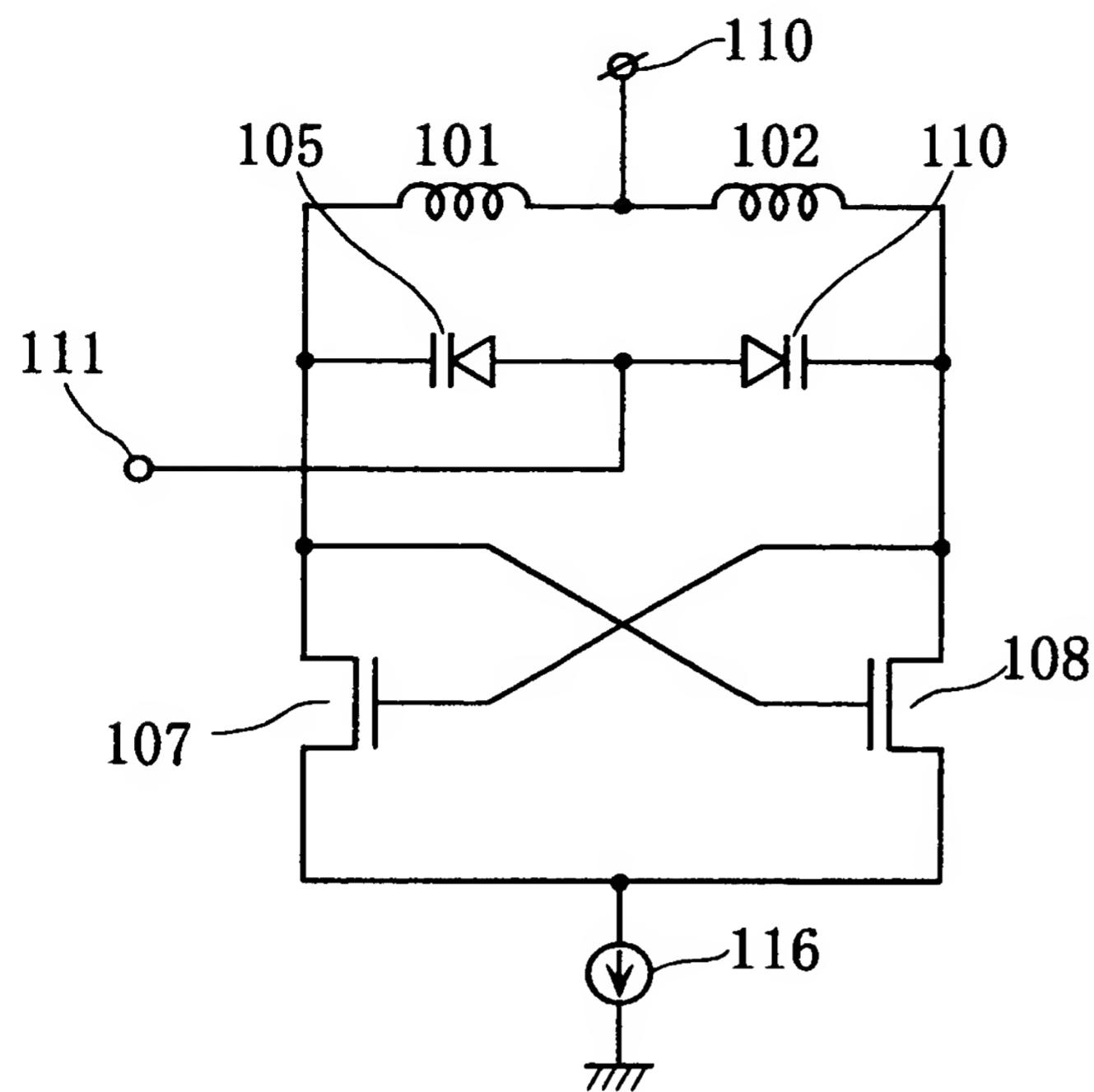
【図9】



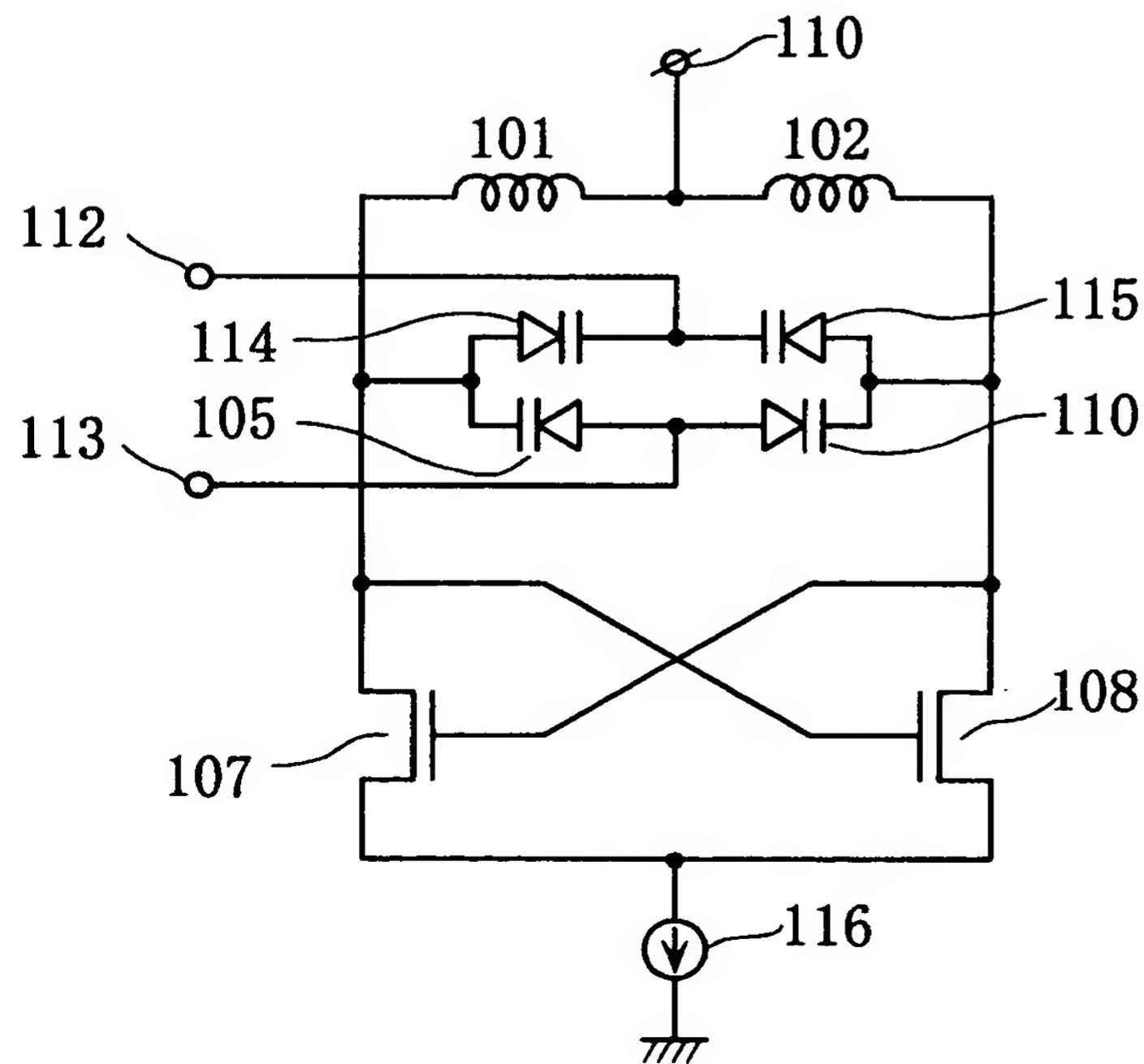
【図10】



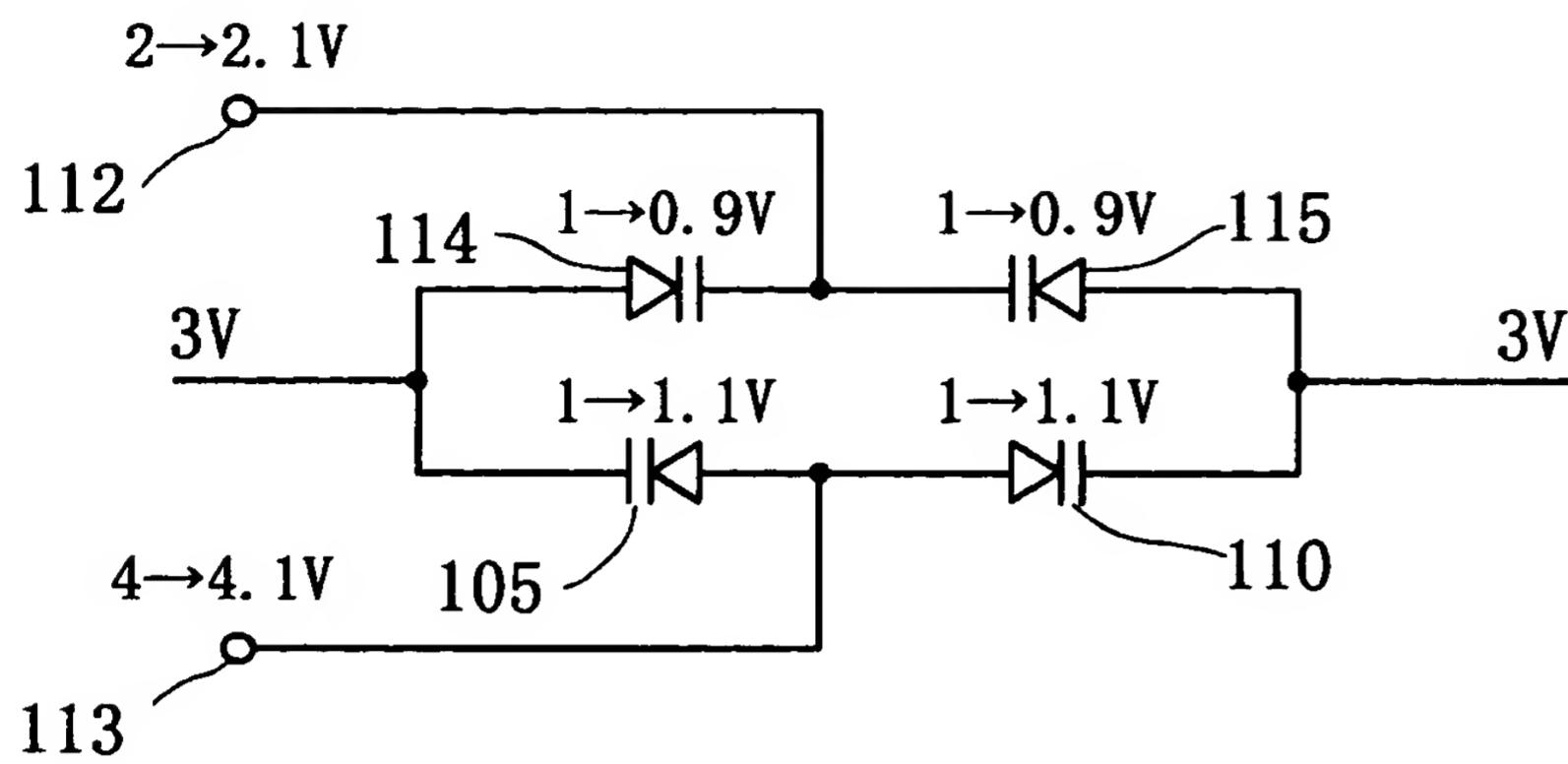
【図11】



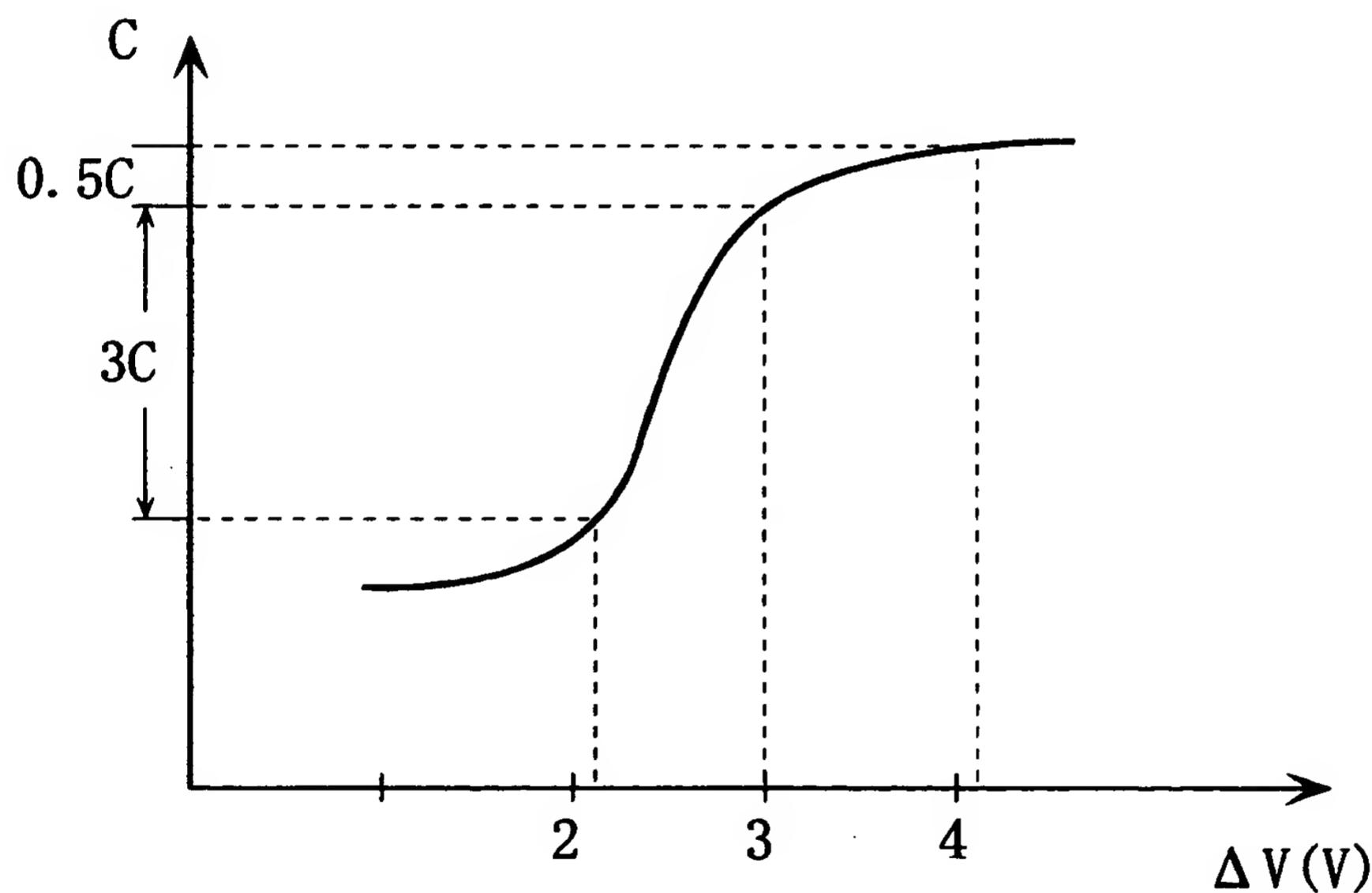
【図12】



【図13】



【図14】



【書類名】 要約書

【課題】

【要約】 従来の発振器、PLL回路においては、信号ライン、および電源ラインからのノイズの影響を無くすことができず、回路特性の均衡を取ることができなかった。

【解決手段】 共振回路を備えた発振器において、前記発振器は、コイル1、2および電源端子17を有する第1の直列接続回路88と、コンデンサ3、5、およびその特性に方向性を有するバラクタ4を有する第2の直列接続回路89と、コンデンサ10、12、およびその特性に方向性を有するバラクタ11を有する第3の直列接続回路90と、を有し、前記第1、第2、第3の直列接続回路が並列接続され、前記第2、第3の直列接続回路の接続側に対して、バラクタ4とバラクタ11の方向性が互いに逆になるように接続され、バラクタ4、バラクタ11の容量は、外部からの制御により変化され、前記変化された可変容量に応じて発振周波数が決定される発振器。

【選択図】 図1

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社